

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasunobu NAKASE

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR CIRCUIT COMPARING TWO DATA ROWS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

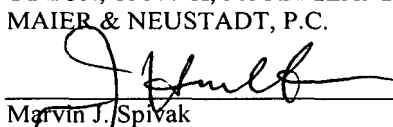
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-372198	December 24, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

James D. Hamilton

Registration No. 28,421



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月24日

出 願 番 号

Application Number:

特願2002-372198

[ST.10/C]:

[JP2002-372198]

出 願 人

Applicant(s):

三菱電機株式会社

2003年 1月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3000981

【書類名】 特許願

【整理番号】 541248JP01

【提出日】 平成14年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 07/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 中瀬 泰伸

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体回路

【特許請求の範囲】

【請求項 1】 多ビットの第一のデータを記憶している記憶装置と、前記第一のデータと多ビットの第二のデータとの比較を行う比較器とを有する半導体回路において、

前記記憶装置からの前記第一のデータの出力を制御する第一の制御信号に基づいて、前記比較器の活性状態が制御されている、
ことを特徴とする半導体回路。

【請求項 2】 前記記憶装置は、
第一の活性化信号を出力するセンスアンプを、備えており、
前記センスアンプの活性状態は、前記第一の制御信号により制御されており、
前記比較器は、前記センスアンプから出力される前記第一の活性化信号に基づいて制御されている、
ことを特徴とする請求項 1 に記載の半導体回路。

【請求項 3】 前記比較器は、
前記第一のデータと前記第二のデータとの対応するビット同士の排他論理和演算処理を行う、複数の排他論理和回路と、
前記各排他論理和回路から出力されるそれぞれの排他論理和信号の論理積の演算処理を行う論理積回路とを、
備えていることを特徴とする請求項 2 に記載の半導体回路。

【請求項 4】 前記排他論理和回路は、前記第一の活性化信号により活性状態／非活性状態が制御されている、
ことを特徴とする請求項 3 に記載の半導体回路。

【請求項 5】 前記論理積回路は、活性状態のときには、前記各排他論理和回路から出力されるそれぞれの排他論理和信号の論理積の演算処理を行い、非活性状態のときにはプリチャージが実行されるダイナミック回路であり、
前記論理積回路の活性状態／非活性状態は、クロック信号に基づいて制御されている、

ことを特徴とする請求項 4 に記載の半導体回路。

【請求項 6】 前記排他論理和回路における演算処理時間と同等またはそれ以上の時間遅延を前記第一の活性化信号に対して生じさせることにより、当該第一の活性化信号を第二の活性化信号に変換させる遅延回路を、さらに備えており、

前記論理積回路は、活性状態のときには、前記各排他論理和回路から出力されるそれぞれの排他論理和信号の論理積の演算処理を行い、非活性状態のときにはプリチャージが実行されるダイナミック回路であって、前記第二の活性化信号に基づいて、活性状態／非活性状態が制御されている、

ことを特徴とする請求項 3 または請求項 4 に記載の半導体回路。

【請求項 7】 前記論理積回路は、

並列に接続されており、演算処理を行う複数のトランジスタ群と、

前記トランジスタ群の一方端と固定電源とを接続している第一の導電形式のトランジスタと、

前記トランジスタ群の他方端と接地とを接続している第二の導電形式のトランジスタとを、
備えており、

前記第二の活性化信号により、前記第一の導電形式のトランジスタおよび前記第二の導電形式のトランジスタのどちらか一方のみがオン状態となるように制御されている、

ことを特徴とする請求項 6 に記載の半導体回路。

【請求項 8】 前記比較器は、前記第一のデータを前記記憶装置に書き込むときには比較処理を行わず、前記第一のデータを前記記憶装置から読み出すときに比較処理を行う、

ことを特徴とする請求項 1 に記載の半導体回路。

【請求項 9】 前記記憶装置は、前記第一の制御信号の出力を制御する論理ゲートをさらに備えており、

前記論理ゲートは、第二の制御信号により制御されている、

ことを特徴とする請求項 8 に記載の半導体回路。

【請求項 1 0】 前記論理積回路からの出力信号は、前記排他論理和回路から出力される所望の出力信号が確定するまで、所定の初期化状態となる、ことを特徴とする請求項 6 に記載の半導体回路。

【請求項 1 1】 前記論理積回路は、
当該論理積回路の出力側に一端が接続されており、他端が固定電位に接続されている初期化用トランジスタを、備えており、
前記初期化用トランジスタは、前記排他論理和回路から出力される所望の出力信号が確定するまで、導通状態となるように前記第二の活性化信号に基づいて制御されている、
ことを特徴とする請求項 1 0 に記載の半導体回路。

【請求項 1 2】 クロック信号に同期してパルス信号を発生させるパルス発生器と、
Reset 入力部に前記パルス信号が入力され、Set 入力部に前記第二の活性化信号が入力され、当該パルス信号と当該第二の活性化信号とから生成される第三の活性化信号を出力部から出力するラッチ回路とを、さらに備えており、
前記第三の活性化信号により前記初期化用トランジスタは制御されている、
ことを特徴とする請求項 1 1 に記載の半導体回路。

【請求項 1 3】 前記論理積回路の活性状態／非活性状態は、前記第三の活性化信号により制御されている、
ことを特徴とする請求項 1 2 に記載の半導体回路。

【請求項 1 4】 前記比較器は、
前記第一のデータと前記第二のデータとの対応するビット同士の排他論理和演算処理を行う、複数の排他論理和回路と、
活性化状態のときには、前記各排他論理和回路から出力されるそれぞれの排他論理和信号の論理積の演算処理を行い、非活性状態のときにはプリチャージが実行されるダイナミック回路である論理積回路とを、
備えており、

前記論理積回路の活性状態／非活性状態は、前記第一の制御信号により制御されている、

ことを特徴とする請求項 1 に記載の半導体回路。

【請求項 1 5】 前記論理積回路は、論理積演算を行う複数のトランジスタ群を備えており、

前記排他論理和回路は、前記第一のデータが入力されるまで、前記論理積回路の前記複数のトランジスタ群を動作させない信号を出力する回路である、
ことを特徴とする請求項 1 4 に記載の半導体回路。

【請求項 1 6】 前記排他論理和回路には、前記第一のデータと当該第一のデータと相補的な関係にある第三のデータとが入力される、
ことを特徴とする請求項 1 4 に記載の半導体回路。

【請求項 1 7】 前記第一のデータと前記第三のデータの出力は、前記第一の制御信号により制御されている、
ことを特徴とする請求項 1 6 に記載の半導体回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、2つの多ビットのデータの比較処理を行う比較器を有する半導体回路に係る発明である。

【0 0 0 2】

【従来の技術】

従来、キャッシュメモリから必要なデータを読み出すに際し、読み出されたデータが必要なデータであるか否かを判定する比較器として、例えば、複数の排他論理和回路と、論理積回路とによって構成されているものがあった（特許文献 1 参照）。

【0 0 0 3】

【特許文献 1】

特開平 1 - 2 9 6 3 3 8 号公報（第 1、4 図）

【0 0 0 4】

【発明が解決しようとする課題】

しかし、上記で挙げた従来技術の比較器では、簡易な回路設計により、最適な

タイミングで当該比較器による多ビットのデータの判定処理を行うことができず、判定処理にある程度の時間を要していた。

【 0 0 0 5 】

そこで、この発明は、多ビットのデータの判定処理を行う比較器を有する、当該判定処理の速い半導体回路を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る請求項 1 に記載の半導体回路は、多ビットの第一のデータを記憶している記憶装置と、前記第一のデータと多ビットの第二のデータとの比較を行う比較器とを有する半導体回路において、前記記憶装置からの前記第一のデータの出力を制御する第一の制御信号に基づいて、前記比較器の活性状態が制御されている。

【 0 0 0 7 】

【発明の実施の形態】

一般的に、メモリの動作速度は、記憶容量が大きくなるほど遅くなる。したがって、大容量となるメインメモリの動作速度は、CPU (Central Processing Unit : 中央演算処理装置) の動作速度に比べて遅くなり、CPU の命令実行速度を下げる原因となっている。

【 0 0 0 8 】

ところで、期間を限定すれば CPU の必要とするデータは、メインメモリの全領域に満遍なく存在するのではなく、一部領域に偏在する傾向がある。よって、CPU が必要とするデータがメインメモリの一部領域に限定されるのであるなら、CPU からのアクセス頻度の高いデータのみを記憶容量の小さいメモリに記憶させておき、当該小さい容量のメモリから CPU が必要なデータを供給すればよい。

【 0 0 0 9 】

そこで、上記問題を解決するために、CPU とメインメモリの間に容量の小さい、高速のメモリ (以下、キャッシュメモリと称す) を配置し、当該キャッシュメモリに CPU がアクセスする頻度の高いデータを記憶させる。これにより、低

速なメインメモリによるCPUの命令実行速度の低下問題を解消することができる。

【 0 0 1 0 】

さて、図1が示すように、キャッシュメモリ1は通常、データを記憶する部分（DATA-RAM）と、当該DATA-RAMに記憶されているデータを読み出すためのタグ情報が記憶されている部分（TAG-RAM）とで構成されている。

【 0 0 1 1 】

キャッシュメモリ1にデータを書き込むときには、次のように行われる。

【 0 0 1 2 】

ダイレクトマップ方式では、CPUの出力するアドレスデータ2のうち、下位ビット（以下、indexと称す）をキャッシュメモリ1のアドレスを指定するために用いる。そして、当該indexで指定されるキャッシュメモリ1のアドレスに該当するTAG-RAMには、アドレスデータ2の上位ビットをタグ情報TMとして記憶し、DATA-RAMには今書き込むべきデータが書き込まれる。

【 0 0 1 3 】

また、キャッシュメモリ1からデータを読み出すときは、次のように行われる。

【 0 0 1 4 】

まず、CPUは、今必要とするデータを読み出すためにアドレスデータ2を出力する。

【 0 0 1 5 】

次に、当該アドレスデータ2のindexを用いて、キャッシュメモリ1の所定のアドレスにアクセスする。仮に今の場合、indexで指定されるキャッシュメモリ1の所定のアドレスが{k-1}だとする。すると次に、アドレス{k-1}に該当するTAG-RAMに書き込まれているタグ情報TM{k-1}と、DATA-RAMに書き込まれているデータ{k-1}とを同時に読み出す。

【 0 0 1 6 】

次に、当該読み出されたデータがCPUが必要とするデータであるか否かの判定を行う。

【0017】

当該判定処理は、比較器201を用いて、CPUが出力したアドレスデータ2の上位ビットである参照タグ情報TCと、キャッシュメモリ1から読み出されたアドレス{k-1}に該当するTAG-RAMに記憶されていたタグ情報TM{k-1}とを比較することにより行われる。

【0018】

当該判定の結果、両者が一致すれば所望のデータであることが認識できるので、当該読み出されたデータをCPUは用いることができる。これをキャッシュヒット（以下、HITとする）という。これに対して、両者が一致しなければキャッシュメモリ1には所望のデータがないと認識できるので（これをキャッシュミスとよび、以下、MISSとする）、メインメモリから所望のデータを読み出すこととなる。

【0019】

以下、実施の形態毎に、この発明に係る半導体回路を構成している、比較器201やTAG-RAM等の回路構成および動作を図面に基づいて具体的に説明する。

【0020】

なお、本発明では、タグ情報TMおよび参照タグ情報TCは16ビットのビット列と仮定する。また、タグ情報TMを構成している各ビットをタグ情報ビットTMB<i>と称し、参照タグ情報TCを構成している各ビットを参照ビットTCB<i>と称する。なお、i=0~15である。

【0021】

<実施の形態1>

本発明の実施の形態1に係る半導体回路の説明を図2~7に示す図面に基づいて説明する。

【0022】

図2は、キャッシュメモリの一部であるTAG-RAMにおける、入出力信号

の様子を示す図である。

【 0 0 2 3 】

図 2 において、CPU から出力されるアドレスデータ 2 の下位ビットである i index が、キャッシュメモリ 1 でのアドレス指定のために用いられ、入力信号として TAG-RAM に入力される。また、当該 i index により読み出されたタグ情報ビット $TMB<i>$ と活性化信号 EN とが出力される。

【 0 0 2 4 】

図 3 は、比較器 2 0 1 を構成する前段の回路であり、タグ情報ビット $TMB<i>$ と参照ビット $TCB<i>$ との排他論理和演算処理を行う排他論理和回路（以下、XOR 回路と称す）の具体的構成を示す図である。図 4 は、遅延回路 DLY 2 により活性化信号 EN が時間遅延を有する活性化信号 EN 2 に変換される様子を示す回路図である。図 5 は、比較器 2 0 1 を構成する後段の回路であり、複数の XOR 回路からの出力信号の論理積を取る論理積回路の具体的構成を示す図である。

【 0 0 2 5 】

図 6 は、図 2 で示した TAG-RAM の主要部であるメモリ部 MC と活性化信号生成カラム ENC とセンスイネーブル信号生成用のダミーカラム DC とを示す図である。図 7 は、図 6 に示している活性化信号 EN を生成するために用いられるセンスアンプ SA 2 の具体的構成を示す図である。

【 0 0 2 6 】

さらに、図 8 は、実施の形態 1 に係る半導体回路の動作を説明するためのタイミングチャートである。

【 0 0 2 7 】

次に各図の回路構成について説明する。

【 0 0 2 8 】

< 回路構成 >

まず、活性化信号 EN により活性状態／非活性状態が制御される、図 3 に示す XOR 回路の構成について説明する。なお、今タグ情報 TM および参照タグ情報 TC は 16 ビットのビット列を想定しているので、当該 XOR 回路は、各ビット

に応じた数が（つまり 16 個）設けられる。

【 0 0 2 9 】

図 3 の X O R 回路は、3 つの入力部 1 0, 1 1, 1 2 と 1 つの出力部 1 3 とを有している。つまり、活性化信号 E N が入力される入力部 1 0 と、参照ビット T C B < i > が入力される入力部 1 1 と、タグ情報ビット T M B < i > が入力される入力部 1 2 と、X O R 回路での排他論理和演算結果である排他論理和信号 c m p < i > が出力される出力部 1 3 とを有している。

【 0 0 3 0 】

入力部 1 0 は、インバータ G 2 0 を介して、N O R ゲート G 2 1 の一方の入力部と、N O R ゲート G 2 2 の一方の入力部とにそれぞれ接続されている。さらに、入力部 1 0 は、インバータ G 2 0、G 2 6 とを介して P 型トランジスタ P 2 0 のゲートに接続されている。ここで、P 型トランジスタ P 2 0 のソースには固定電源が接続されており、当該 P 型トランジスタ P 2 0 のドレインは、インバータ G 2 5 を介して出力部 1 3 に接続されている。

【 0 0 3 1 】

入力部 1 1 は、N O R ゲート G 2 1 の他方の入力部に直接、接続されている一方で、インバータ G 2 3 を介して N O R ゲート G 2 2 の他方の入力部へと接続されている。

【 0 0 3 2 】

また、N O R ゲート G 2 1 の出力部はインバータ G 2 8 を介してトランスミッションゲート T G 2 0 の P 型ゲートに接続される一方で、当該トランスミッションゲート T G 2 0 の N 型ゲートに直接、接続されている。また、N O R ゲート G 2 2 の出力部はインバータ G 2 7 を介してトランスミッションゲート T G 2 1 の P 型ゲートに接続される一方で、当該トランスミッションゲート T G 2 1 の N 型ゲートに直接、接続されている。

【 0 0 3 3 】

入力部 1 2 は、インバータ G 2 4 を介してトランスミッションゲート T G 2 0 の入力部に接続される一方で、トランスミッションゲート T G 2 1 の入力部に直接、接続されている。また、トランスミッションゲート T G 2 0 の出力部および

トランスミッションゲートTG21の出力部は、ともにインバータG25を介して出力部13へと接続されている。

【0034】

次に、上記図3に示した各XOR回路の出力部13から出力される排他論理和信号 $cmp<i>$ の論理積を取る回路であり、ダイナミック回路である図5の論理積回路の構成について説明する。ここでダイナミック回路とは、活性状態のときに一度入力信号が入力されると、これに対応する出力信号が決定され、その後、当該論理積回路をプリチャージしない限り、別の入力信号が入力されても出力信号は変化しない回路のことである。

【0035】

図5の論理積回路は、前記排他論理和信号 $cmp<0:15>$ の数に応じた数のN型トランジスタ（今の場合、16個のN型トランジスタである）N0～N15と、図4で示す遅延回路DLY2により活性化信号ENに対して時間遅延を与えられた活性化信号EN2が入力される入力部14と、ラッチ回路LAT30と、論理積の演算結果である判定信号（HIT or MISS）が出力される出力部15とを有している。

【0036】

トランスミッションゲートTG22の入力部に配線D30が接続されている。また、当該配線D30と接地との間には、論理積演算用として複数（今の場合16個）のN型トランジスタN0～N15が並列的に接続されている。ここで、各N型トランジスタN0～N15のソースが接地側に接続されており、ドレインは配線D30側に接続されている。また、各N型トランジスタN0～N15のゲートには、図3で示したXOR回路から出力される排他論理和信号 $cmp<0:15>$ が各々入力される。

【0037】

入力部14は、P型トランジスタP30のゲートに接続されている。ここで、P型トランジスタP30のソースは固定電源に接続されており、ドレインは配線D30に接続されている。

【0038】

さらに入力部 1 4 は、トランスミッションゲート T G 2 2 の N 型ゲートに接続され、他方でインバータ G 3 0 を介してトランスミッションゲート T G 2 2 の P 型ゲートに接続されている。

【 0 0 3 9 】

トランスミッションゲート T G 2 2 の出力部は、インバータ G 3 1, G 3 2 を介して出力部 1 5 に接続されている。ここで、前段のインバータ G 3 1 の入力部と出力部との間には、帰還のインバータ G 3 3 が並列に接続されている。

【 0 0 4 0 】

上記構成において、トランスミッションゲート T G 2 2、インバータ G 3 0、インバータ G 3 1 およびインバータ G 3 3 により、活性化信号 E N 2 により制御されるラッチ回路 L A T 3 0 を構成している。

【 0 0 4 1 】

次に、T A G - R A M の主要部であるメモリ部 M C と活性化信号生成用のカラム E N C とセンスイネーブル信号 S E (第一の制御信号として把握できる。) を生成するダミーカラム D C とから構成される、図 6 の T A G - R A M 回路の具体的構成について説明する。

【 0 0 4 2 】

ここで、通常 T A G - R A M は次の新たなタグ情報ビット T M B < i > が読み出されるまで、以前のタグ情報ビット T M B < i > を保持するため、図 2 で示した X O R 回路は、今判定したいタグ情報ビット T M B < i > が読み出された後に演算動作を開始する必要がある。そうしないと、以前のタグ情報ビット T M B < i > に基づいた演算結果が X O R 回路から出力されてしまい、後段に位置するダイナミック回路である論理積回路が誤った判定信号を出力するからである。

【 0 0 4 3 】

また、X O R 回路の動作速度を考慮すると、X O R 回路の演算動作の時期を制御する活性化信号 E N は、タグ情報ビット T M B < i > と同時に供給されることが望ましい。

【 0 0 4 4 】

したがって、図 6 で示した回路は、活性化信号 E N を T A G - R A M に記憶さ

れているタグ情報ビット $TMB< i >$ の読み出しとほぼ同時期に生成されるように、活性化信号 EN の読み出し経路がタグ情報ビット $TMB< i >$ の読み出し経路を再現するように構成されている。

【 0 0 4 5 】

図 6 において、まずメモリ部 MC の構成について説明する。

【 0 0 4 6 】

複数のメモリセル M が $(m \times n)$ のマトリックス状に配置されている。各メモリセル M の両サイドには、各列で共通のビット線 $bit< i >$ と $bitc< i >$ とが接続されている。また、各メモリセル M には、各行で共通のワード線 $word< i >$ が接続されている。つまり、各ワード線 $word< i >$ には m 個、各ビット線 $bit< i >$ 、 $bitc< i >$ には n 個のメモリセル M が接続されている。

【 0 0 4 7 】

ここで、はじめの行列要素 a_{ij} ($i = 0, 1, \dots, m-1, j = 0, 1, \dots, n-1$) に対応する各メモリセル M には、キャッシュメモリ 1 の各アドレス $\{0 : k (= 16m \times n)\}$ に対応するタグ情報ビット $TMB< 0 >$ がそれぞれ記憶されており、次の行列要素 b_{ik} ($i = m, m+1, \dots, 2m-1, k = 0, 1, \dots, n-1$) に対応する各メモリセル M には、キャッシュメモリ 1 の各アドレス $\{0 : k (= 16m \times n)\}$ に対応するタグ情報ビット $TMB< 1 >$ がそれぞれ記憶されている。そして、最終的に、行列要素 c_{il} ($i = 15m, 15m+1, \dots, 16m-1, l = 0, 1, \dots, n-1$) に対応する各メモリセル M には、キャッシュメモリ 1 の各アドレス $\{0 : k (= 16m \times n)\}$ に対応するタグ情報ビット $TMB< 15 >$ がそれぞれ記憶されている。

【 0 0 4 8 】

図 6 では簡略化して、キャッシュメモリ 1 の各アドレス $\{0 : k\}$ に対応するタグ情報ビット $TMB< 0 >$ を記憶している各メモリセル M のみを図示している。以下、タグ情報ビット $TMB< 0 >$ を記憶しているメモリセル M を含む回路部分について説明するが、他のタグ情報ビット $TMB< 1 : 15 >$ を記憶している

メモリセルMを含む回路部分についても同じ構成を備えている。

【 0 0 4 9 】

さて、各ビット線 $bit < 0 : m - 1 >$ の一方端は、P型トランジスタP40を介して固定電源に接続されており、他方端は、P型トランジスタP41を介してデータ線DATAに接続されている。また、各ビット線 $bitc < 0 : m - 1 >$ の一方端は、P型トランジスタP42を介して固定電源に接続されており、他方端は、P型トランジスタP43を介してデータ線DATACに接続されている。

【 0 0 5 0 】

また、一のメモリセルMに接続されているビット線 $bit < i >$ と $bitc < i >$ とを架橋するようにP型トランジスタP44が接続されており、各P型トランジスタP40, P42, P44のゲートには、共通でクロック信号CLKが入力される構成となっている。

【 0 0 5 1 】

また、カラムアドレス信号 $Y < 0 : m - 1 >$ を送信する複数（今の場合、m本）の配線が配設されており、当該各配線は、対応する列に対して、それぞれインバータG41を介してP型トランジスタP41, P43のゲートに接続されている。

【 0 0 5 2 】

また、データ線DATAはセンスアンプSAの一方の入力部に接続されており、他方の入力部にはデータ線DATACが接続されている。また、センスアンプSAの出力部は、比較器201を構成する図3で示したXOR回路の入力部12に接続される。

【 0 0 5 3 】

ここで、図6では省略しているが、通常センスアンプSAの出力側には、タグ情報ビット $TMB < i >$ を保持するためのラッチ回路およびデータ駆動用のドライバが接続される。当該ラッチ回路により、一度タグ情報ビット $TMB < i >$ が読み出されると、次のタグ情報ビット $TMB < i >$ が読み出されるまで、以前のタグ情報ビット $TMB < i >$ が保持・出力され続ける。

【 0 0 5 4 】

次に、活性化信号生成用であるカラム E N C の構成について説明する。

【 0 0 5 5 】

ワード線 $w o r d < 0 : n - 1 >$ の数に対応した数（今の場合、 n 個）のメモリセル M H が一列に配列されており、一のメモリセル M H には一のワード線 $w o r d < i >$ と、ビット線 $b i t e n$ 、 $b i t e n c$ とが接続されている。

【 0 0 5 6 】

ここで、各メモリセル M H からのデータが読み出されるときには、必ずビット線 $b i t e n$ が「H」レベルに、ビット線 $b i t e n c$ が「L」レベルになるように、当該メモリセル M H の内部回路は設計されている。

【 0 0 5 7 】

ビット線 $b i t e n$ の一方端は、P 型トランジスタ P 4 5 を介して固定電源に接続されており、他方端は、P 型トランジスタ P 4 6 を介してセンスアンプ S A 2 の一方の入力部に接続されている。また、ビット線 $b i t e n c$ の一方端は、P 型トランジスタ P 4 7 を介して固定電源に接続されており、他方端は、P 型トランジスタ P 4 8 を介してセンスアンプ S A 2 の他方の入力部に接続されている。また、ビット線 $b i t e n$ とビット線 $b i t e n c$ とを架橋するように P 型トランジスタ P 4 9 が接続されている。

【 0 0 5 8 】

ここで、P 型トランジスタ P 4 5、P 4 7、P 4 9 のゲートにクロック信号 C L K が共通に入力され、P 型トランジスタ P 4 6、P 4 8 のゲートは、それぞれ接地に接続されている。

【 0 0 5 9 】

以上が、カラム E N C の構成である。なお、センスアンプ S A 2 の出力部は、比較器 2 0 1 を構成する図 3 で示した X O R 回路の入力部 1 0 に接続される。

【 0 0 6 0 】

次に、図 6 に示すセンスアンプ S A、S A 2 を活性化させるセンスイネーブル信号 S E を生成するダミーカラム D C の構成について説明する。

【 0 0 6 1 】

ワード線 $w o r d < 0 : n - 1 >$ の数に対応した数（今の場合、 n 個）の N 型トランジスタ $N 2 0$ が一列に配列されている。ここで、各 N 型トランジスタ $N 2 0$ のゲートは一のワード線 $< i >$ に接続されており、各ドレインには、ダミービット線 $d b i t$ が接続されており、各ソースは接地に接続されている。

【 0 0 6 2 】

ダミービット線 $d b i t$ の一方端は、P 型トランジスタ $P 5 0$ を介して固定電源に接続されており、他方端は、インバータ $G 4 0$ の入力部に接続されている。また、当該インバータ $G 4 0$ の出力部は、センスアンプ $S A$ 、 $S A 2$ の活性状態を制御するために、各センスアンプ $S A$ 、 $S A 2$ へと接続されている。

【 0 0 6 3 】

なお、P 型トランジスタ $P 5 0$ のゲートにはクロック信号 $C L K$ が入力される。

【 0 0 6 4 】

以上が、ダミーカラム $D C$ の構成である。

【 0 0 6 5 】

このように、 $T A G - R A M$ は、メモリ部 $M C$ 、カラム $E N C$ およびダミーカラム $D C$ により構成されている。

【 0 0 6 6 】

次に、上記図 6 で図示した、活性化信号 $E N$ を生成のためのカラム $E N C$ で用いられている、センスアンプ $S A 2$ の具体的構成を示した図 7 の回路構成について説明する。なお、上記でも説明したように、当該センスアンプ $S A 2$ の活性状態／非活性状態を制御する信号として、他のセンスアンプ $S A$ と共通のセンスイネーブル信号 $S E$ を使用する。

【 0 0 6 7 】

P 型トランジスタ $P 6 0$ と N 型トランジスタ $N 6 0$ とを直列に接続させることにより CMOS インバータ $C 6 0$ を構成している。また、P 型トランジスタ $P 6 1$ と N 型トランジスタ $N 6 1$ とを直列に接続させることにより CMOS インバータ $C 6 1$ を構成している。また、CMOS インバータ $C 6 0$ と $C 6 1$ の入出力部を相互に接続させることにより、相互接続された CMOS インバータを構成して

いる。

【 0 0 6 8 】

ここで、P型トランジスタP 6 0、P 6 1のソースは固定電源に接続されており、N型トランジスタN 6 0、N 6 1のソースはN型トランジスタN 5 0を介して接地に接続されている。

【 0 0 6 9 】

また、CMOSインバータC 6 1の出力部は、P型トランジスタP 6 2を介してビット線b i t e nに接続されており、CMOSインバータC 6 0の出力部は、P型トランジスタP 6 3を介してビット線b i t e n cに接続されている。

【 0 0 7 0 】

図6で示したインバータG 4 0は、P型トランジスタP 6 2、P 6 3のゲート、およびN型トランジスタN 5 0のゲートに、共通で接続されると共に、ANDゲートG 4 2の一方の入力部に接続されている。なお、ANDゲートG 4 2の他方の入力部は、CMOSインバータC 6 0の出力部とインバータG 4 3を介して接続されており、ANDゲートG 4 2の出力部は、比較器2 0 1を構成する図3で示したXOR回路の入力部1 0に接続される。

【 0 0 7 1 】

以上が、本実施の形態に係る半導体回路を構成している比較器2 0 1およびTAG-RAMの構成である。

【 0 0 7 2 】

次に、図8に示すタイミングチャートに基づいて、上記各構成の動作について説明する。以下では、参照タグ情報TCを構成する所定のi番目のビットである参照ビットTCB<i>、およびタグ情報TMを構成する所定のi番目のビットであるタグ情報ビットTMB<i>について言及するが、他の参照ビットTCB<0...i-1, i+1...15>、タグ情報ビットTMB<0...i-1, i+1...15>についても同様の議論が成立する。

【 0 0 7 3 】

<回路の動作説明>

はじめに、比較器2 0 1を構成する前段に位置する、図3で示したXOR回路

の動作について説明する。

【 0 0 7 4 】

まず、クロック信号 C L K の立上りエッジに同期して、C P U からアドレスデータ 2 が出力され、アドレスデータ 2 の上位ビットである参照タグ情報 T C を構成する参照ビット T C B < i > が、各 X O R 回路に入力される。また、これと同時に、アドレスデータ 2 の下位ビットである I n d e x が図 2 で示した T A G - R A M に入力され、タグ情報ビット T M B < i > の読み出しを開始する。

【 0 0 7 5 】

ここで、タグ情報ビット T M B < i > が読み出されるまでは、各 X O R 回路の出力部 1 3 から出力される排他論理和信号 c m p < i > として、「L」レベルの信号を保持しなければならない。

【 0 0 7 6 】

これは、各 X O R 回路の後段に接続されている図 5 で示した論理積回路がダイナミック回路であるため、演算処理を開始するまでは P 型トランジスタ P 3 0 により配線 D 3 0 をプリチャージすることにより、次の判定処理に備えておく必要があるからである。

【 0 0 7 7 】

つまり、中間結果である排他論理和信号 c m p < i > として一旦「H」レベルが入力されてしまうと P 型トランジスタ P 3 0 によるプリチャージが有効でなくなり、配線 D 3 0 が「L」に設定されてしまうからである。

【 0 0 7 8 】

したがって、その後、論理積回路が活性化状態となって、本来の演算結果である排他論理和信号 c m p < i > が「L」または「H」レベルになったとしても、出力部 1 5 からは判定信号として「L」レベルが常に出力され、各排他論理和信号 c m p < i > に応じた正常な論理積の演算処理を行うことができなくなる。

【 0 0 7 9 】

そこで、図 8 に示すように、タグ情報ビット T M B < i > が読み出されるまでの間、活性化信号 E N を「L」レベルに固定させておく。

【 0 0 8 0 】

こうすることにより、図 3 で示した P 型トランジスタ P 2 0 はオン状態となり、排他論理和信号 $c m p < i >$ として「L」レベルが保持される（XOR 回路の非活性状態）。よって、タグ情報ビット $T M B < i >$ が読み出されるまでの間の、論理積回路の P 型トランジスタ P 3 0 による配線 D 3 0 のプリチャージを有効とすることができ、その後、当該論理積回路が活性化状態となったときに、本来の演算結果である排他論理和信号 $c m p < i >$ に応じた正常な論理積の演算処理を行うことができる。

【 0 0 8 1 】

さて、図 2 で示す TAG-RAM に $I n d e x$ が入力されてから時刻 $\Delta t 1$ 後に、当該 TAG-RAM からタグ情報ビット $T M B < i >$ が出力される。また、これとほぼ同時に、「H」レベルの活性化信号 $E N$ が出力される。

【 0 0 8 2 】

これにより、図 3 で示した P 型トランジスタ P 2 0 のゲートには「H」レベルの信号が入力され、当該 P 型トランジスタ P 2 0 はオフ状態となり、タグ情報ビット $T M B < i >$ と参照ビット $T C B < i >$ との排他論理和演算処理が開始される（XOR 回路の活性状態）。

【 0 0 8 3 】

例えば、当該状態において、タグ情報ビット $T M B < i >$ 、参照ビット $T C B < i >$ とともに「H」レベルである場合には、NOR ゲート G 2 1 の一方の入力部には「L」レベルの信号、他方の入力部には「H」レベルの信号が入力されるので、当該 NOR ゲート G 2 1 の出力部からは「L」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 0 はオフ状態となる。

【 0 0 8 4 】

これに対して、NOR ゲート G 2 2 の一方の入力部には「L」レベルの信号、他方の入力部には「L」レベルの信号が入力されるので、当該 NOR ゲート G 2 2 の出力部からは「H」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 1 はオン状態となる。よって、タグ情報ビット $T M B < i >$ はインバータ G 2 5 により反転されるので、出力部 1 3 からは、「L」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 0 8 5 】

他方、活性化信号 E N が「H」レベルで、タグ情報ビット T M B < i >、参照ビット T C B < i > とともに「L」レベルである場合には、N O R ゲート G 2 2 の一方の入力部には「L」レベルの信号、他方の入力部には「H」レベルの信号が入力されるので、当該 N O R ゲート G 2 2 の出力部からは「L」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 1 はオフ状態となる。

【 0 0 8 6 】

これに対して、N O R ゲート G 2 1 の一方の入力部には「L」レベルの信号、他方の入力部には「L」レベルの信号が入力されるので、当該 N O R ゲート G 2 1 の出力部からは「H」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 0 はオン状態となる。よって、タグ情報ビット T M B < i > はインバータ G 2 4、G 2 5 により 2 度反転されるので、出力部 1 3 からは、「L」レベルの排他論理和信号 c m p < i > が出力される。

【 0 0 8 7 】

次に、活性化信号 E N が「H」レベルで、タグ情報ビット T M B < i > が「H」レベルであり、参照ビット T C B < i > が「L」レベルである場合には、N O R ゲート G 2 2 の一方の入力部には「L」レベルの信号、他方の入力部には「H」レベルの信号が入力されるので、当該 N O R ゲート G 2 2 の出力部からは「L」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 1 はオフ状態となる。

【 0 0 8 8 】

これに対して、N O R ゲート G 2 1 の一方の入力部には「L」レベルの信号、他方の入力部には「L」レベルの信号が入力されるので、当該 N O R ゲート G 2 1 の出力部からは「H」レベルの信号が出力される。したがって、トランスミッションゲート T G 2 0 はオン状態となる。よって、タグ情報ビット T M B < i > はインバータ G 2 4、G 2 5 により 2 度反転されるので、出力部 1 3 からは、「H」レベルの排他論理和信号 c m p < i > が出力される。

【 0 0 8 9 】

また、活性化信号 EN が「H」レベルで、タグ情報ビット $TMB<i>$ が「L」レベルであり、参照ビット $TCB<i>$ が「H」レベルである場合には、NORゲート $G21$ の一方の入力部には「L」レベルの信号、他方の入力部には「H」レベルの信号が入力されるので、当該NORゲート $G21$ の出力部からは「L」レベルの信号が出力される。したがって、トランスミッションゲート $TG20$ はオフ状態となる。

【0090】

これに対して、NORゲート $G22$ の一方の入力部には「L」レベルの信号、他方の入力部には「L」レベルの信号が入力されるので、当該NORゲート $G22$ の出力部からは「H」レベルの信号が出力される。したがって、トランスミッションゲート $TG21$ はオン状態となる。よって、タグ情報ビット $TMB<i>$ はインバータ $G24$ により反転されるので、出力部 13からは、「H」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0091】

以上から分かるように、タグ情報ビット $TMB<i>$ と参照ビット $TCB<i>$ のレベルが一致するときは「L」レベルの排他論理和信号 $cmp<i>$ が出力され、一致しないときには「H」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0092】

次に、比較器 201 を構成する後段に位置する、図5の論理積回路の動作について説明する。

【0093】

図3のXOR回路にて、タグ情報ビット $TMB<i>$ が入力されてから排他論理和信号 $cmp<i>$ が確定するまでに時間 $\Delta t2$ かかるとすると、図4において、当該 $\Delta t2$ の時間遅延値を有する遅延回路 $DLY2$ を配置する。そうすると、活性化信号 $EN2$ は、活性化信号 EN に対して時間遅延 $\Delta t2$ を有することとなる。

【0094】

したがって、当該活性化信号 $EN2$ が立ち上がるまでは（図3のXOR回路に

て排他論理和信号 $c m p < i >$ が確定するまでの期間は)、活性化信号 $E N 2$ は「L」レベルなので、論理積回路のP型トランジスタ $P 3 0$ はオン状態となっており、配線 $D 3 0$ のプリチャージを行っている(論理積回路の非活性状態)。

【0095】

また、活性化信号 $E N 2$ が「L」レベルの間は、ラッチ回路 $L A T 3 0$ のトランスミッションゲート $T G 2 2$ はオフ状態となるので、判定信号は以前の値を保持している。

【0096】

次に、タグ情報ビット $T M B < i >$ が読み出されてから時間 $\Delta t 2$ 経過し、活性化信号 $E N 2$ が立ち上がり「H」レベルに設定されると、P型トランジスタ $P 3 0$ がオフ状態となり、トランスミッションゲート $T G 2 2$ はオン状態となる。

【0097】

当該状態において、前段で確定した排他論理和信号 $c m p < 0 : 1 5 >$ が全て「L」レベルであるとき(すなわち、タグ情報 $T M$ と参照タグ情報 $T C$ とが一致するとき)は、図5で示した論理積回路を構成するすべてのN型トランジスタ $N 0 \sim N 1 5$ がオフ状態となるので、配線 $D 3 0$ の電位は「H」レベルのままとなる。

【0098】

したがって、今トランスミッションゲート $T G 2 2$ はオン状態であるので、当該「H」レベルがラッチ回路 $L A T 3 0$ に取り込まれると共に、インバータ $G 3 1$ 、 $G 3 2$ を経て出力部 15 から判定信号が「H」レベルで出力される。つまり、タグ情報 $T M$ と参照タグ情報 $T C$ が完全に一致する場合には(HITの場合には)、判定信号として「H」レベルの信号が出力される。

【0099】

これに対して、前段で確定した排他論理和信号 $c m p < 0 : 1 5 >$ のうち、一つでも「H」レベルの信号がある場合(すなわち、タグ情報 $T M$ と参照タグ情報 $T C$ とが一致しないとき)には、当該「H」レベルの信号が入力されるN型トランジスタはオン状態となるので、配線 $D 3 0$ の電位は接地電位、つまり「L」レベルへと変化する。

【 0 1 0 0 】

したがって、今トランスミッションゲートTG22はオン状態であるので、当該「L」レベルがラッチ回路LAT30に取り込まれると共に、インバータG31, G32を経て出力部15から判定信号が「L」レベルで出力される。つまり、タグ情報TMと参照タグ情報TCが不一致の場合には(MISSの場合には)、判定信号として「L」レベルの信号が出力される。

【 0 1 0 1 】

以上により、図3, 4, 5に示すXOR回路、論理積回路等により構成される比較器201により、タグ情報TMと参照タグ情報TCとの比較処理が正常に実行される。ここで、論理積回路を最適なタイミングで活性状態へと変化させるために、図4の遅延回路DLY2として時間 Δt_2 の時間遅延を形成することができものを採用したが、論理積回路での確実な演算動作を確保するために、これ以上の時間遅延を有する遅延回路DLY2を採用してもかまわない。

【 0 1 0 2 】

さて、上記でも説明したように、図5で示した論理積回路としてダイナミック回路を用いているので、図2で示したXOR回路は、タグ情報ビット $TMB<i>$ が読み出されてから活性状態へと変化する必要がある。さらには、動作速度を考慮すると、活性化信号ENはタグ情報ビット $TMB<i>$ と同時に供給されることが望ましい。そこで、当該動作を可能にするために構成されたのが図6で示したTAG-RAM回路である。

【 0 1 0 3 】

以下に、図6で示したTAG-RAM回路の動作について説明する。なお、 $X<0>\sim X<n-1>$ はロウアドレス信号を示しており、 $Y<0>\sim Y<m-1>$ はカラムアドレス信号を示している。当該ロウアドレス信号とカラムアドレス信号とにより所定のメモリセルMが選択され、タグ情報ビット $TMB<i>$ が読み出される。また、メモリ部MCについては、タグ情報ビット $TMB<0>$ が記憶されているブロックについて説明するが、他のタグ情報ビット $TMB<1:15>$ が記憶されているブロックについても同様な動作が成立する。

【 0 1 0 4 】

はじめに、図 8 で示しているようにクロック信号 CLK が「L」レベルのときは、メモリ部 MC において、各 P 型トランジスタ P 4 0, P 4 2, P 4 4 はオン状態となるので、すべてのビット線 $bit<0:m-1>$ 、 $bitc<0:m-1>$ は、固定電源により「H」レベルにプリチャージされる。

【 0 1 0 5 】

また、ダミーカラム DC においてもクロック信号 CLK が「L」のときは、P 型トランジスタ P 5 0 がオン状態となるので、ダミービット線 $dbit$ においても、固定電源により「H」レベルにプリチャージされる。これにより、センスイネーブル信号 SE は「L」レベルに設定され、センスアンプ SA, SA 2 を非活性状態とさせる。

【 0 1 0 6 】

次に、カラム ENC の動作について説明する。

【 0 1 0 7 】

クロック信号 CLK が「L」レベルのときには、図 6 において、P 型トランジスタ P 4 5, P 4 7, P 4 9 はオン状態となるので、固定電源によりビット線 $biten$ 、 $bitenc$ は「H」電位にプリチャージされる。ここで、P 型トランジスタ P 4 6, P 4 8 のゲートは接地に接続されているので、常にオン状態である。

【 0 1 0 8 】

さらに、クロック信号 CLK が「L」レベルのときには、センスイネーブル信号 SE は「L」レベルとなるので、図 7 において、P 型トランジスタ P 6 2, P 6 3 はオン状態となり、N 型トランジスタ N 5 0 はオフ状態となり、AND ゲート G 4 2 の両入力部には「L」レベルの信号が入力される。

【 0 1 0 9 】

したがって、クロック信号 CLK が「L」レベルのときには、AND ゲート G 4 2 の出力部から「L」レベルの活性化信号 EN が出力される。なお、クロック信号 CLK が立ち上がっても、センスイネーブル信号 SE が「L」レベルの間は、AND ゲート G 4 2 からは「L」レベルの活性化信号 EN が出力される。

【 0 1 1 0 】

これにより、上記でも説明したように、図 3 で示した P 型トランジスタ P 2 0 はオン状態となり、排他論理和信号 $c m p < i >$ として「L」レベルが保持される（つまり、XOR 回路を非活性状態と制御する）。よって、タグ情報ビット $T M B < i >$ が読み出されるまでの間の論理積回路の P 型トランジスタ P 3 0 による配線 D 3 0 のプリチャージを有効とすることができ、その後、当該論理積回路が活性化状態となったときに、本来の演算結果である排他論理和信号 $c m p < i >$ に応じた正常な論理積の演算処理を行うことができる。

【 0 1 1 1 】

次に、クロック信号 $C L K$ が「H」レベルに立ち上がると、各 P 型トランジスタ P 4 0, P 4 2, P 4 4, P 4 5, P 4 7, P 4 9, P 5 0 がオフ状態となり、全ビット線のプリチャージが中断され、タグ情報ビット $T M B < 0 >$ の読み出し動作が開始される。

【 0 1 1 2 】

はじめに、メモリ部 $M C$ の動作について説明する。

【 0 1 1 3 】

当該、クロック信号 $C L K$ が「H」レベルである期間に、例えば「H」レベルのロウアドレス信号 $X < 0 >$ が設定されると、バッファ 2 0 を介してワード線 $w o r d < 0 >$ の電位は「H」レベルとなる。これにより、ワード線 $w o r d < 0 >$ に接続されている全てのメモリセル M に記憶されているデータが、それぞれのビット線 $b i t < 0 : m - 1 >$ 、 $b i t c < 0 : m - 1 >$ に読み出される。

【 0 1 1 4 】

次に、例えば「L」レベルのカラムアドレス信号 $Y < 0 >$ が設定されると、ビット線 $b i t < 0 >$ に接続されている P 型トランジスタ P 4 1、およびビット線 $b i t c < 0 >$ に接続されている P 型トランジスタ P 4 3 が、それぞれオン状態となるので、ビット線 $b i t < 0 >$ の信号がデータ線 $D A T A$ に伝送され、ビット線 $b i t c < 0 >$ の信号がデータ線 $D A T A C$ に伝送される。

【 0 1 1 5 】

その後、「H」レベルのセンスイネーブル信号 $S E$ の入力を機に、センスアンプ $S A$ は活性状態となり、タグ情報ビット $T M B < 0 >$ の出力がなされる。

【 0 1 1 6 】

次に、ダミーカラムDCの動作について説明する。

【 0 1 1 7 】

ワード線word<0>が「H」レベルの電位になると、当該ワード線word<0>に接続されているN型トランジスタN20はオン状態となる。したがって、「H」レベルであったダミービット線dbitの電気が、N型トランジスタN20を介して接地電位への放電が開始され、時間 Δt_1 後にダミービット線dbitの電位は「L」レベルへと変化する。よって、クロック信号CLKが立ち上がってから時刻 Δt_1 後に、インバータG40を介してセンスイネーブル信号SEは「H」レベルとなり、センスアンプSA、SA2を活性状態へと変化させる。

【 0 1 1 8 】

ここで、メモリセルMから読み出されるデータにより、各センスアンプSAへ接続される各データ線DATA、DATAC間の電位差が十分に大きくなったときに、センスイネーブル信号SEが「H」レベルとなるように、N型トランジスタN20のサイズを決めておくが良い。

【 0 1 1 9 】

次に、カラムENCの動作について説明する。

【 0 1 2 0 】

クロック信号CLKが立ち上がり、上記のように「H」レベルのロウアドレス信号X<0>が設定されると、バッファ20を介してワード線word<0>の電位は「H」レベルとなり、ワード線word<0>に接続されているメモリセルMHが選択される。すると、当該メモリセルMHの内部回路により、ビット線bitenが「H」レベルとなり、ビット線bitencが「L」レベルとなる。

【 0 1 2 1 】

次に、当該状態において、クロック信号CLKが立ち上がってから時刻 Δt_1 後に、センスイネーブル信号SEが立ち上がり「H」レベルとなると、図7において、P型トランジスタP62、P63がオフ状態となり、N型トランジスタN

50 がオン状態となるので、ANDゲートG42の一方の入力部には「H」レベルのセンスイネーブル信号SEが入力され、他方の入力部には増幅された「H」レベルの信号が入力される。

【0122】

したがって、ANDゲートG42の出力部から「H」レベルの活性化信号ENが出力されることとなる。

【0123】

以上のように、センスイネーブル信号SEが「H」レベルとなると、センスアンプSA、SA2は同時に活性状態となり、センスアンプSAからは新たに読み出されたタグ情報ビットTMB<0>が、またセンスアンプSA2からは「H」レベルの活性化信号ENが同時に出力される。

【0124】

その後、クロック信号CLKが「L」レベルになると、ダミービット線dbitは再びプリチャージされ「H」レベルに変化する。これに伴って、センスイネーブル信号SEが「L」レベルとなり、センスアンプSA、SA2は非活性状態となる。

【0125】

また、カラムENCにおいても、クロック信号CLKが「L」レベルとなると、ビット線biten、bitencが「H」レベルにプリチャージされるので、活性化信号ENは再び「L」レベルに設定される。なお、これにより活性化信号EN2も「L」レベルと変移するので、図5で示した論理積回路は非活性状態（プリチャージ状態）となり、これと同時に、ラッチ回路LAT30の入力トランスミッションゲートTG22はオフとなり、当該ラッチ回路LAT30は判定信号を保持する。

【0126】

以上が、本実施の形態に係る半導体回路を構成する比較器201、TAG-RAM等の一連の動作である。

【0127】

本実施の形態に係る半導体回路によれば、センスイネーブル信号SEを用いて

センスアンプ S A₁, S A₂ を同時に活性状態を制御しているので、簡易な回路設計により、タグ情報ビット T M B < i > と同時に「H」レベルの活性化信号 E N₁ も、比較器 2 0 1 に対して供給することができる。

【 0 1 2 8 】

つまり、タグ情報ビット T M B < i > が X O R 回路に入力されると同時に、X O R 回路にて、当該タグ情報ビット T M B < i > に基づく演算処理を行うことができる。したがって、ダイナミック回路である論理積回路の誤動作を防止することができる。さらに、タグ情報ビット T M B < i > が X O R 回路に入力されてから当該 X O R 回路での演算開始までのタイムマージンを最小限に抑えることができるので、X O R 回路での演算処理の時間を短縮させることができる。

【 0 1 2 9 】

また、活性化信号 E N₁ に基づいて形成される活性化信号 S E 2 により論理積回路の活性状態／非活性状態を制御しているので、当該活性化信号 E N₂ の生成に当たり X O R 回路での演算に要する時間を考慮するだけでいいので、簡単な回路設計により、最適なタイミングで論理積回路を活性化させる活性化信号 E N₂ を生成することができる。

【 0 1 3 0 】

さらに、遅延回路 D L Y 2 により、活性化信号 E N₂ が有する活性化信号 E N₁ に対する遅延時間を、X O R 回路での演算に要する時間と同じに設定することにより、論理積回路における演算開始までのタイムマージンを最小限に抑えることができ、当該論理積回路における判定結果までの時間短縮につながる。

【 0 1 3 1 】

また、論理積回路にダイナミック回路を用いているので、少ない回路素子により当該論理積回路を構成することができるので、スタティック回路のように多入力論理ゲートを多数用いる必要がなくなる。したがって、本実施の形態に係る比較器 2 0 1 では、高速な判定処理を行うことができる。

【 0 1 3 2 】

< 実施の形態 2 >

実施の形態 1 では、X O R 回路出力の途中結果により、後段のダイナミック回

路である論理積回路が誤動作しないように、XOR回路の動作を活性化信号ENにより制御していた。これにより、当該XOR回路は複雑な構成となっていた。

【0133】

そこで、本実施の形態では、活性化信号ENによる制御を不要とすることで、XOR回路を簡略化することを目的とする。図9、10に本実施の形態に係る比較器201の構成を図示する。なお、TAG-RAMは、例えば図6、7で示した構成のものを採用することとする。

【0134】

図9は、実施の形態2に係る比較器201を構成する、前段に位置するXOR回路であり、図10は、実施の形態2に係る比較器201を構成する、後段に位置するダイナミック回路である論理積回路である。

【0135】

以下より、各図の回路構成について具体的に説明する。

【0136】

<回路構成>

まず、タグ情報ビットTMB<i>と参照ビットTCB<i>との排他論理和演算処理を行う、図9のXOR回路の構成について説明する。なお、今タグ情報TMおよび参照タグ情報TCが16ビットのビット列を想定しているので、当該XOR回路は、各ビットに応じたものが16個設けられる。

【0137】

図9のXOR回路は、2つの入力部31、32と1つの出力部33とを有している。つまり、参照ビットTCB<i>が入力される入力部31と、タグ情報ビットTMB<i>が入力される入力部32と、排他論理和信号cmp<i>が出力される出力部33とを有している。

【0138】

入力部31は、インバータG45を介してトランスマッションゲートTG31のP型ゲートに接続される一方で、同じくインバータG45を介して当該トランスマッションゲートTG30のN型ゲートに接続されている。

【 0 1 3 9 】

さらに、入力部 3 1 はインバータ G 4 5、G 4 6 を介してトランスミッションゲート T G 3 1 の N 型ゲートに接続される一方で、同じくインバータ G 4 5、G 4 6 を介して当該トランスミッションゲート T G 3 0 の P 型ゲートに接続されている。

【 0 1 4 0 】

入力部 3 2 は、トランスミッションゲート T G 3 1 の入力部に直接、接続される一方で、インバータ G 4 7 を介してトランスミッションゲート T G 3 0 の入力部に接続されている。

【 0 1 4 1 】

また、トランスミッションゲート T G 3 0 の出力部およびトランスミッションゲート T G 3 1 の出力部は共に、インバータ G 4 8 を介して出力部 3 3 に接続されている。

【 0 1 4 2 】

次に、上記図 9 で示した各 X O R 回路から出力される排他論理和信号 $c m p < i >$ の論理積を取る回路であり、ダイナミック回路である図 1 0 の論理積回路の構成について説明する。ここで、活性化信号 E N は、図 4 で示したように遅延回路 D L Y 2 を経ることにより、時間遅延を有する活性化信号 E N 2 に変換され、その後論理積回路に入力される。

【 0 1 4 3 】

さて図 1 0 において、入力部 4 4 は P 型トランジスタ P 8 0 のゲートに接続されており、入力部 4 5 は N 型トランジスタ N 7 0 のゲートに接続されている。ここで、P 型トランジスタ P 8 0 のソースは固定電源に接続されており、ドレインは配線 D 8 0 に接続されている。また、N 型トランジスタ N 7 0 のソースは接地に接続されており、ドレインは配線 D 8 1 に接続されている。

【 0 1 4 4 】

次に、配線 D 8 0 はトランスミッションゲート T G 8 0 の入力部に接続されている。また、配線 D 8 0 と配線 D 8 1 とを接続するように、並列に複数（今の場合 1 6 個）の N 型トランジスタ N 8 0 ～ N 9 5 が接続されている。ここで、各 N

型トランジスタN80～N95のソースが配線D81側に接続されており、ドレインは配線D80側に接続されている。また、各N型トランジスタN80～N95のゲートには、図9で示したXOR回路から出力される排他論理和信号 $cmp<0:15>$ が各々入力する。

【0145】

さらに入力部44は、トランスミッションゲートTG80のN型ゲートに接続され、他方でインバータG80を介してトランスミッションゲートTG80のP型ゲートに接続されている。

【0146】

トランスミッションゲートTG80の出力部は、インバータG81、G82を介して、論理積の演算結果である判定信号(HIT or MISS)が出力される出力部46に接続されている。ここで、前段のインバータG81の入力部と出力部との間には、帰還のインバータG83が並列に接続されている。

【0147】

上記構成において、トランスミッションゲートTG80、インバータG80、G81、G83により、ラッチ回路LAT80を構成している。

【0148】

以上のように、本実施の形態に係る比較器201では、実施の形態1と異なり、活性化信号ENによるXOR回路の制御を行わないため、図10で示した論理積回路に新たにN型トランジスタN70を設けている。

【0149】

次に、図11に示すタイミングチャートに基づいて、上記各回路の動作について説明する。以下では、参照タグ情報TCを構成する所定のi番目のビットである参照ビット $TCB<i>$ 、およびタグ情報TMを構成する所定のi番目のビットであるタグ情報ビット $TMB<i>$ について言及するが、他の参照ビット $TCB<0 \cdots i-1, i+1 \cdots 15>$ 、タグ情報ビット $TMB<0 \cdots i-1, i+1 \cdots 15>$ についても同様の議論が成立する。

【0150】

<回路の動作説明>

はじめに、図 9 の X O R 回路の動作について説明する。

【 0 1 5 1 】

まず、クロック信号 C L K の立上りエッジに同期して、C P U からアドレスデータ 2 が出力され、アドレスデータ 2 の上位ビットである参照タグ情報 T C を構成する参照ビット T C B < i > は、図 9 に示した各 X O R 回路に入力される。また同時に、アドレスデータ 2 の下位ビットである I n d e x は図 2 で示した T A G - R A M に入力され、タグ情報ビット T M B < i > の読み出しを開始させる。

【 0 1 5 2 】

さて、図 2 で示す T A G - R A M に I n d e x が入力されてから時刻 $\Delta t 1$ 後に、当該 T A G - R A M からタグ情報ビット T M B < i > が出力される。なお、これとほぼ同時に、「H」レベルの活性化信号 E N が出力される。

【 0 1 5 3 】

ここで、通常図 6 で示したセンスアンプ S A の後段には、図示していないがラッチ回路とドライバとが設けられているので、クロック信号 C L K の立ち上がりから時刻 $\Delta t 1$ までは、タグ情報ビット T M B < i > として前サイクルのデータが保持・出力される。

【 0 1 5 4 】

したがって、排他論理和信号 c m p < i > としては、以前のタグ情報ビット T M B < i > に基づいた演算結果が出力される。しかし、 $\Delta t 1$ 後には、今比較したい正規のタグ情報ビット T M B < i > が入力部 3 2 より入力されてくるので、当該時間後には、排他論理和信号 c m p < i > としては、現タグ情報ビット T M B < i > に基づいた演算結果が出力される。

【 0 1 5 5 】

さて例えば、現タグ情報ビット T M B < i >、参照ビット T C B < i > とともに「H」レベルである場合には、入力部 3 1 より入力される「H」レベルの信号により、トランスマッションゲート T G 3 0 はオフ状態となり、トランスマッションゲート T G 3 1 はオン状態となる。

【 0 1 5 6 】

したがって、「H」レベルである現タグ情報ビット T M B < i > は、トランス

ミッションゲートTG31およびインバータG48を経ることにより、出力部33からは、「L」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0157】

他方、現タグ情報ビットTMB<i>、参照ビットTCB<i>ともに「L」レベルである場合には、入力部31より入力される「L」レベルの信号により、トランスミッションゲートTG31はオフ状態となり、トランスミッションゲートTG30はオン状態となる。

【0158】

したがって、「L」レベルである現タグ情報ビットTMB<i>は、インバータG47、トランスミッションゲートTG30およびインバータG48を経ることにより、出力部33からは、「L」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0159】

次に、現タグ情報ビットTMB<i>が「H」レベルであり、参照ビットTCB<i>が「L」レベルである場合には、入力部31より入力される「L」レベルの信号により、トランスミッションゲートTG31はオフ状態となり、トランスミッションゲートTG30はオン状態となる。

【0160】

したがって、「H」レベルである現タグ情報ビットTMB<i>は、インバータG47、トランスミッションゲートTG30およびインバータG48を経ることにより、出力部33からは、「H」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0161】

また、現タグ情報ビットTMB<i>が「L」レベルであり、参照ビットTCB<i>が「H」レベルである場合には、入力部31より入力される「H」レベルの信号により、トランスミッションゲートTG30はオフ状態となり、トランスミッションゲートTG31はオン状態となる。

【0162】

したがって、「L」レベルである現タグ情報ビットTMB<i>は、トランス

ミッションゲートTG31およびインバータG48を経ることにより、出力部33からは、「H」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0163】

以上から分かるように、実施の形態1と同様、現タグ情報ビット $TMB<i>$ と参照ビット $TCB<i>$ のレベルが一致するときは「L」レベルの排他論理和信号 $cmp<i>$ が出力され、一致しないときには「H」レベルの排他論理和信号 $cmp<i>$ が出力される。

【0164】

次に、図10の論理積回路の動作について説明する。

【0165】

図9のXOR回路にて、タグ情報ビット $TMB<i>$ が読み出されてから排他論理和信号 $cmp<i>$ が確定するまでに時間 Δt_2 かかるとすると、図4において、当該 Δt_2 の時間遅延値を有する遅延回路 DLY_2 を配置する。そうすると、活性化信号 EN に対する Δt_2 の時間遅延を有する活性化信号 EN_2 が生成される。

【0166】

したがって、当該活性化信号 EN_2 が立ち上がるまで、つまり図9のXOR回路にて排他論理和信号 $cmp<i>$ が確定するまでは、活性化信号 EN_2 は「L」レベルなので、P型トランジスタP80はオン状態となっており、配線D30のプリチャージを行っている。なお、このときN型トランジスタN70はオフ状態である（非活性状態）。

【0167】

また、活性化信号 EN_2 が「L」レベルの間は、ラッチ回路LAT80のトランスミッションゲートTG80はオフ状態となるので、判定信号は以前の値を保持する。

【0168】

次に、タグ情報ビット $TMB<i>$ が読み出されてから時間 Δt_2 が経過し、活性化信号 EN_2 が立ち上がり「H」レベルに設定されると、P型トランジスタP80がオフ状態となり、トランスミッションゲートTG80はオン状態となる

。また、このときN型トランジスタN 7 0はオン状態となり、配線D 8 1は接地電位となる（活性状態）。

【 0 1 6 9 】

当該状態において、前段で確定した排他論理和信号 $cmp < 0 : 15 >$ が全て「L」レベルであるとき（すなわち、タグ情報TMと参照タグ情報TCとが一致するとき）は、図10で示した論理積回路を構成するすべてのN型トランジスタN 8 0～N 9 5がオフ状態となるので、配線D 8 0の電位は「H」レベルのままとなる。

【 0 1 7 0 】

したがって、今トランスミッションゲートTG 8 0はオン状態であるので、当該「H」レベルがラッチ回路LAT 8 0に取り込まれると共に、インバータG 8 1, G 8 2を経て出力部4 6から判定信号が「H」レベルで出力される。つまり、タグ情報TMと参照タグ情報TCが完全に一致する場合には（HITの場合には）、判定信号として「H」レベルの信号が出力される。

【 0 1 7 1 】

これに対して、前段のXOR回路で確定した排他論理和信号 $cmp < 0 : 15 >$ のうち、一つでも「H」レベルの信号がある場合（すなわち、タグ情報TMと参照タグ情報TCとが一致しないとき）には、当該「H」レベルの信号が入力されるN型トランジスタN 8 0～N 9 5はオン状態となるので、配線D 8 0の電位は接地電位、つまり「L」レベルへと変化する。

【 0 1 7 2 】

したがって、今トランスミッションゲートTG 8 0はオン状態であるので、当該「L」レベルがラッチ回路LAT 8 0に取り込まれると共に、インバータG 8 1, G 8 2を経て出力部4 6から判定信号が「L」レベルで出力される。つまり、タグ情報TMと参照タグ情報TCが不一致の場合には（MISSの場合には）、判定信号として「L」レベルの信号が出力される。

【 0 1 7 3 】

このようにして、本実施の形態に係る比較器2 0 1においても正常な判定処理を行うことができる。

【 0 1 7 4 】

また、本実施の形態に係る論理積回路では、活性化信号 E N 2 により制御される、導電形式の異なる 2 つのトランジスタ P 8 0 , N 7 0 により、当該論理積回路の活性状態／非活性状態とを制御しているので、X O R 回路での活性化を制御する必要がなくなる。

【 0 1 7 5 】

したがって、本実施の形態に係る各 X O R 回路では、実施の形態 1 に係る各 X O R 回路に比べて、N O R ゲートが 2 個、インバータが 1 個、P 型トランジスタ 1 個不要となる。よって、今の場合 1 6 ビットのタグ情報 T M と参照タグ情報 T C との比較を考えてきたので、この場合 X O R 回路が 1 6 個必要となり、 4×16 個の回路素子を削除することができる。

【 0 1 7 6 】

これにより、回路全体の面積を縮小化させることができ、また消費電力の低減も図ることができる。

【 0 1 7 7 】

また、実施の形態 1 で説明したように、X O R 回路の動作を最速化させるためには、タグ情報 T M と活性化信号 E N とを同時に供給させる必要があるが、以前のタグ情報 T M に基づく排他論理和信号 c m p を、より確実に出力させないためには、活性化信号 E N をタグ情報 T M の読み出し時より若干遅らせて供給する必要がある。つまり、実施の形態 1 では、上記理由に基づく若干のタイムマージンを要する場合があるのである。

【 0 1 7 8 】

しかし、実施の形態 2 に係る X O R 回路では、活性化信号 E N での制御を要していないので、上記タイムマージンを必要としないので、X O R 回路における全体として演算処理時間を短縮することができる。

【 0 1 7 9 】

< 実施の形態 3 >

実施の形態 1 において、比較器 2 0 1 での H I T / M I S S の判定が必要なのは、T A G - R A M からタグ情報 T M を読み出すときである。したがって、T A

G-RAMヘタグ情報TMを書き込むときに、比較器201を動作させなければ消費電力を低減させることができる。

【 0 1 8 0 】

そこで、本実施の形態では、TAG-RAMからタグ情報TMを読み出すとき
のみに比較器201を動作させることができる半導体回路を提供することを目的
とする。

【0 1 8 1】

図 1 2 は、TAG-RAM からタグ情報 TM を読み出すときのみに、比較器 201 を動作させることを可能にする、TAG-RAM の回路を示す図である。図 1 2 に示す TAG-RAM は、図 6 で示した TAG-RAM とほぼ同じであるが、以下の点において異なる。なお、センスアンプ SA 2 の具体的構成として、本実施の形態においても図 7 で示した構成を採用する。

【0 1 8 2】

上記両図の相違点とは、ダミーカラムDCにおいて、ダミービット線d b i t の他方端に接続されているのがインバータG40ではなく（図6）、ANDゲートG100であるという点である（図12）。

【0 1 8 3】

ANDゲートG100の一方の入力部には、当該入力部の手前で信号が反転するような構造で上記のダミービット線d b i tが接続され、他方の入力部には、TAG-RAMからのタグ情報TMの読み出し／書き込みの時期に応じた制御信号REを伝送する配線が接続されている。なお、図6で示したインバータG40の出力部と同様に、センスアンプSA、SA2の活性化は、当該ANDゲートG100の出力部からのセンスイネーブル信号SEにより制御されている。

【 0 1 8 4 】

図 1 2 に示した T A G − R A M 回路において、タグ情報 T M の読み出し時には制御信号 R E として「H」レベルの信号を送出する。すると、タグ情報 T M の読み出し時には、所定のワード線 $w o r d < i >$ と接続されている N 型トランジスタ N 2 0 がオン状態となり、ダミービット線 $d b i t$ が接地電位となるので、A N D ゲート G 1 0 0 の出力部からは「H」レベルのセンスイネーブル信号 S E が

出力さる。以後の動作は、実施の形態 1 で説明した動作と同じなので、ここでの説明は省略する。

【0185】

さて、これに対して、タグ情報 TM の書き込み時には制御信号 RE として「L」レベルの信号を送出する。そうすると、AND ゲート G100 の出力部からは「L」レベルのセンスイネーブル信号 SE が出力される。これにより、センスアンプ SA1, SA2 はともに非活性状態へと変化する。これにより、センスアンプ SA2 の出力からは、図 7 の構成からも分かるように「L」レベルの活性化信号 EN が出力される。

【0186】

したがって、図 3 で示した XOR 回路では、各トランスミッションゲート TG20, TG21 はオフの状態が維持され、P 型トランジスタ P20 がオン状態となるので（非活性状態）、演算処理を行わず、排他論理和信号 cmp は「L」レベルとなる。

【0187】

また、図 4 で示した遅延回路 DLY2 により、活性化信号 EN2 は活性化信号 EN に基づいて生成されるので、当該タグ情報 TM の書き込み時には、活性化信号 EN2 も「L」レベルとなるので、図 5, 10 で示した論理積回路においても演算処理を行わず、プリチャージ状態を保持することとなる（非活性状態）。

【0188】

以上のように、TAG-RAM からのタグ情報 TM の書き込み時には、実施の形態 1, 2 に係る比較器 201 を構成する XOR 回路、論理積回路の各回路の動作を停止させることができるので、比較器 201 の低消費電力化を可能とすることができる。

【0189】

<実施の形態 4>

上記でも説明したように、必要とするデータを読み出すときに、CPU からアドレスデータ 2 が出力されると、キャッシュメモリ 1 の所定のアドレスからタグ情報 TM とデータとが同時に読み出され、当該読み出されたデータが CPU が必

要とするデータであるか否かの判定を行う。

【0190】

その結果、判定信号がHIT（「H」レベル）であった場合には、読み出されたデータをCPUが利用する。したがって、判定信号がHIT（「H」レベル）であることを検出して、CPUにデータを取り込むように制御するのが一般的である。

【0191】

ところで、図5および図10で示した論理積回路を構成するラッチ回路LAT30、LAT80は、新たな判定信号が入力されるまでは前回の判定信号の結果を保持・出力している。

【0192】

したがって、前回の判定信号がHIT（「H」レベル）であった場合には、CPUは、今回判定すべき新たな判定信号が出力されてくるのを待たずに、前回の判定信号によりデータを取り込むと判断してしまう恐れがあった。

【0193】

そこで、本実施の形態に係る半導体回路を構成する比較器201では、データの読み出しを開始する度に、初期化設定により一定期間、判定信号が「L」レベルとなるように構成されている。

【0194】

図13は、初期化およびダイナミック回路である論理積回路の活性化を制御する活性化信号を生成するための回路を示す図である。また、図14は、本実施の形態に係るダイナミック回路である論理積回路を示す図である。以下、図13、14の構成について説明する。ここで、図13に示す回路は、図14に示す論理積回路の前段に位置している。

【0195】

<回路構成>

図13に示す回路は、クロック信号CLKの立ち上がり時を機に一定期間のパルスが発生するパルス発生器G111とSRラッチ回路G110とで構成されている。

【 0 1 9 6 】

パルス発生器 G 1 1 1 は、ANDゲート G 1 1 2 の一方の入力部には、クロック信号 C L K が直接入力され、他方の入力部には、遅延回路 D L Y 4 とインバータ G 1 1 3 とを介してクロック信号 C L K が入力されるように、構成されている。ここで、パルス発生器 G 1 1 1 におけるパルスの発生期間は、遅延回路 D L Y 4 の遅延値により決定される。

【 0 1 9 7 】

S R ラッチ回路 G 1 1 0 においては、S e t 入力部には、図 4 で示した遅延回路 D L Y 2 から出力される活性化信号 E N 2 が入力され、R e s e t 入力部にはパルス発生器 G 1 1 1 の出力（ANDゲート G 1 1 2 の出力）からの信号が入力され、Q 出力部からは活性化信号 E N 4 が図 1 4 に示す後段の論理積回路に向けて出力される。したがって、本実施の形態では、論理積回路の活性状態を制御する信号として、活性化信号 E N 4 が入力される。

【 0 1 9 8 】

ここで、活性化信号 E N 2 は、実施の形態 1 で説明したように、活性化信号 E N に基づいて遅延回路 D L Y 2 により生成され、X O R 回路にて排他論理和信号 c m p < i > が確定すると同時に、当該活性化信号 E N 2 は立ち上がるように、遅延回路 D L Y 2 の遅延値が設定されているとする。

【 0 1 9 9 】

次に、図 1 4 に示すダイナミック回路である論理積回路の構成について説明する。

【 0 2 0 0 】

図 1 4 に示す論理積回路は、図 5 または図 1 0 に示す論理積回路とほぼ同じ構成となっているが、つまり、トランSMissionゲート T G 2 2, T G 8 0 より前段の構成は同じであるが、以下の点において異なる。

【 0 2 0 1 】

当該相違点とは、インバータ G 3 3, G 8 3 が除去されており、インバータ G 8 1 または G 3 1 の入力部と接地との間に、N 型トランジスタ N 1 2 0 が追加されている点において異なる。ここで、N 型トランジスタ N 1 2 0 のゲートは、イ

ンバータ G 3 0, G 8 0 の出力部に接続されている。なお、図 1 4 は、図 1 0 を上記のように変形させた場合について図示したものである。

【 0 2 0 2 】

次に、図 1 5 に示すタイミングチャートに基づいて、上記各回路の動作について説明する。

【 0 2 0 3 】

<回路の動作説明>

まず、クロック信号 C L K が立ち上がり「H」レベルとなると同時に、図 1 3 で示したパルス発生器 G 1 1 1 は、「H」レベルが所定の幅であるパルスの発生を開始し、当該パルスは、S R ラッチ回路 G 1 1 0 の R e s e t 入力部に入力される。

【 0 2 0 4 】

S R ラッチ回路 G 1 1 0 の R e s e t 入力部に「H」レベルのパルス信号が入力されると、S R ラッチ回路 G 1 1 0 の Q 出力部からは「L」レベルの活性化信号 E N 4 が出力される。

【 0 2 0 5 】

その後、パルス発生器 G 1 1 1 から出力されるパルス信号が立ち下がり、S R ラッチ回路 G 1 1 0 の R e s e t 入力部に「L」レベルの信号が入力されたとしても、活性化信号 E N 2 が「L」レベルの間は、当該 S R ラッチ G 1 1 0 の Q 出力部からは、「L」レベルの活性化信号 E N 4 が出力され続ける。

【 0 2 0 6 】

ここで、今活性化信号 E N 2 は、クロック信号 C L K が立ち上がってから Δt_1 (クロック信号 C L K が立ち上がってから、T A G - R A M からタグ情報 T M が読み出されるまでの時間) + Δt_2 (タグ情報 T M が読み出されてから、排他論理和信号 c m p が出力されるまでの時間) 後に、立ち上がる。

【 0 2 0 7 】

さて、「L」レベルの活性化信号 E N 4 が生成されると、図 1 4 に示した論理積回路の N 型トランジスタ N 7 0 はオフ状態となり、P 型トランジスタ P 8 0 はオン状態となるので、論理積回路はプリチャージされ、配線 D 8 0 は「H」レベ

ルの電位となる（非活性状態）。

【 0 2 0 8 】

また、これと同時に、トランスミッションゲート T G 8 0 がオフ状態となり、N型トランジスタ N 1 2 0 はオン状態となるので、「L」レベルの判定信号が出力部 4 6 から出力される（判定信号の初期化）。つまり、前段の X O R 回路にて排他論理和信号 $c m p < i >$ が出力されるまで（活性化信号 E N 2 が「L」レベルの間）は、論理積回路からは M I S S を表す判定信号が出力される。

【 0 2 0 9 】

さて、前段の X O R 回路において、新たなタグ情報ビット T M B < i > に基づいて演算処理を行い、結果として排他論理和信号 $c m p < i >$ が出力されると、これと同時に活性化信号 E N 2 も立ち上がり「H」レベルとなり、S R ラッチ回路 G 1 1 0 の S e t 入力部に入力される。

【 0 2 1 0 】

今、S R ラッチ回路 G 1 1 0 の R e s e t 入力部には、「L」レベルの信号が入力されてきているので、当該ラッチ回路 G 1 1 0 の出力部 Q からは、「H」レベルの活性化信号 E N 4 が出力される。

【 0 2 1 1 】

すると、図 1 4 で示した論理積回路の P 型トランジスタ P 8 0 および N 型トランジスタ N 1 2 0 がオフ状態となり、また、トランスミッションゲート T G 8 0 および N 型トランジスタ N 7 0 がオン状態となる。当該状態は判定処理を行う状態である（活性化状態）。つまり、活性化信号 E N 4 が「H」レベルとなることにより、H I T / M I S S の判定処理へと移行するのである。

【 0 2 1 2 】

これ以降の論理積回路の判定処理は実施の形態 2 と同様であり、全ての排他論理和信号 $c m p < 0 : 1 5 >$ が「L」レベル（つまり、タグ情報 T M と参照タグ情報 T C とが一致する）場合には、「H」レベルの判定信号（H I T）が出力される。

【 0 2 1 3 】

また、排他論理和信号 $c m p < 0 : 1 5 >$ のうち一つでも「H」レベル（つま

り、タグ情報 T M と参照タグ情報 T C とが不一致する) 場合には、「L」レベルの判定信号 (M I S S) が出力される。

【 0 2 1 4 】

なお、活性化信号 E N 2 は、クロック信号 C L K が立ち下がってから所定の時間後には、「L」レベルに戻るので、その後、再びクロック信号 C L K が立ち上がると、上記で説明したように活性化信号 E N 4 は「L」レベルとなるので、次に読み出されたタグ情報 T M に基づいた判定を行う前に、論理積回路の判定信号を M I S S に設定・初期化することができる。

【 0 2 1 5 】

これ以降の動作は上記動作と同じであり、繰り返し動作する。

【 0 2 1 6 】

以上のように、クロック信号 C L K の立上りエッジに同期して C P U がデータを取り込むためにアドレスデータ 2 が出力されてから、これに基づいた排他論理和信号 $c m p < i >$ が確定されるまでの間に、論理積回路の判定信号を M I S S に設定・初期化する処理を行うことにより、誤って C P U が前回の判定信号に基づいてデータを取り込むか否かの判断をすることがなくなるので、C P U が取り込むべきでないデータを取り込むことを防止することができる。

【 0 2 1 7 】

なお、以上の動作から分かるように、遅延回路 D L Y 4 の遅延値は、クロック信号 C L K が立ち上がってから排他論理和信号 $c m p < i >$ が確定するまでの時間より短くなるように設定されるべきである。さもないと、新たなタグ情報ビット T M B $< i >$ に基づく排他論理和信号 $c m p < i >$ が確定しているにもかかわらず、論理積回路は M I S S の判定信号を出力し続けるからである。

【 0 2 1 8 】

なお、本実施の形態では、初期化および論理積回路の活性状態の制御に活性化信号 E N 4 を採用したが、活性化信号 E N 2 を採用してもかまわない。しかし、活性化信号 E N 4 を採用することにより、クロック信号 C L K の立ち上がり同期した判定信号の初期化を実行することができる。

【 0 2 1 9 】

＜実施の形態 5＞

上記実施の形態に係る比較器 2 0 1 では、ダイナミック回路である論理積回路を活性化させるタイミングを、活性化信号 E N 2 または活性化信号 E N 4 によって図られていた。当該活性化信号 E N 2, E N 4 が「H」レベルとなることにより、論理積回路は活性化するのだが、このタイミングは、排他論理和信号 c m p < i > の確定の時期に合わせる必要があった。これにより、活性化信号 E N 2, E N 4 を遅延回路 D L Y 2, D L Y 4 により生成する必要があった。

【 0 2 2 0 】

そこで、本実施の形態 5 では、クロック信号 C L K を論理積回路の活性状態を制御する信号として用いることにより、上記遅延回路を削除する。そのために、本実施の形態では、図 1 6 に示すダイナミック回路である論理積回路を採用する。

【 0 2 2 1 】

図 1 6 に示す論理積回路は、図 1 0 に示した論理積回路と構成は同じであるが、P 型トランジスタ P 8 0、N 型トランジスタ N 7 0 およびトランスミッションゲート T G 8 0 を制御する信号として、インバータ G 1 4 0 により反転させられたクロック信号 C L K が用いられている。

【 0 2 2 2 】

以下、本実施の形態に係る論理積回路の動作について、図 1 7 に示すタイミングチャートに基づいて説明する。

【 0 2 2 3 】

まず、クロック信号 C L K が立ち上がり「H」レベルとなると、当該クロック信号 C L K はインバータ G 1 4 0 により「L」レベルに反転させられ、P 型トランジスタ P 8 0 のゲート、N 型トランジスタ N 7 0 のゲートおよびトランスミッションゲート T G 8 0 の各ゲートにそれぞれ入力される。

【 0 2 2 4 】

すると、P 型トランジスタ P 8 0 はオン状態となり、N 型トランジスタ N 7 0 はオフ状態となり、トランスミッションゲート T G 8 0 がオフ状態となるので、ダイナミック回路である論理積回路は固定電源によりプリチャージされる（非活

性化状態)。

【0225】

さて、クロック信号CLKが立ち上がってから Δt_1 後に、TAG-RAMからタグ情報ビットTMB<i>が読み出され、それから Δt_2 後に、XOR回路において排他論理和信号cmp<i>が確定し、当該排他論和信号cmp<i>が確定した後に、クロック信号CLKが立ち下がったとする。

【0226】

クロック信号CLKが立ち下がり「L」レベルとなると、当該クロック信号CLKはインバータG140により「H」レベルに反転させられ、P型トランジスタP80のゲート、N型トランジスタN70のゲートおよびトランスミッションゲートTG80の各ゲートにそれぞれ入力される。

【0227】

すると、P型トランジスタP80はオフ状態となり、N型トランジスタN70はオン状態となり、トランスミッションゲートTG80がオン状態となるので、ダイナミック回路である論理積回路は活性状態へと変移する。

【0228】

その後の、論理積回路における判定動作は実施の形態2と同様なので、ここでの説明は省略する。

【0229】

なお、以上の動作から分かるように、本実施の形態に係る論理積回路が正常に判定処理を行うためには、クロック信号CLKの周期t_{cyc}は以下に示す条件を満たさなければならない。

【0230】

$$t_{cyc}/2 > \Delta t_1 + \Delta t_2$$

しかし通常、TAG-RAMを含めたメモリの動作では、当該メモリでのデータ読み出し開始から実際にデータが読み出されるまでの時間 Δt_1 は、XOR回路における演算時間 Δt_2 に比べて十分長く（つまり、 $\Delta t_1 \gg \Delta t_2$ ）なるように設計されている。

【0231】

また、クロック周期 t_{cyc} の後半にビット線のプリチャージが行われるため、これにより設定されるクロック周期 t_{cyc} の半周期の長さは、時間 Δt_1 に比べて十分に長く（つまり、 $\Delta t_1 \ll t_{cyc}/2$ ）なる。

【0232】

したがって、通常のメモリ設定を行えば、上記条件、 $t_{cyc}/2 > \Delta t_1 + \Delta t_2$ は満たされる。

【0233】

よって、クロック周期 t_{cyc} の前半期間の間に、XOR回路において排他論理和信号 $cmp<i>$ は確定されるので、本実施の形態に係る比較器 201 は、正常に比較判定動作を行うことができる。

【0234】

以上のように、本実施の形態では、クロック信号 CLK の立ち下がりを利用してダイナミック回路である論理積回路を活性化しているので、遅延回路を省略することができ、回路全体の縮小化および消費電力の削減を図ることができる。

【0235】

また、遅延回路を省略できるので、当該遅延回路のプロセス時におけるパラメータ変動による遅延回路特性のばらつきが原因となる、回路の誤動作の問題も生じることがなくなる。

【0236】

なお、本実施の形態では、図 10 に示した論理積回路に基づいて構成される場合について説明したが、図 5 に示した論理積回路に基づいて構成することも可能である。つまり、図 5 に示した論理積回路において、P 型トランジスタ P30 のゲートに、クロック信号 CLK を反転させた信号が入力されるような構成とすることにより、上記と同様な効果を得ることができる。

【0237】

＜実施の形態 6＞

本実施の形態に係る半導体回路を、図 18 および図 19 に示す回路図に基づいて説明する。ここで、図 18 は、実施の形態 6 に係るタグ情報ビット $TMB<0:15>$ を出力するセンスアンプ SA と XOR 回路等の構成を示す図である。ま

た図 1 9 は、実施の形態 6 に係るダイナミック回路である論理積回路の構成を示す図である。

【 0 2 3 8 】

<回路構成>

まず、図 1 8 に示す回路構成について説明する。

【 0 2 3 9 】

図 1 8 において符号 S A は、図 6 または図 1 2 で示した T A G - R A M に設けられている、本実施の形態に係るセンスアンプ S A を示しており、具体的な構成が描かれている。

【 0 2 4 0 】

データ線 D A T A が接続される入力部 1 6 0 は、配線 D 1 6 0 に接続されており、データ線 D A T A C が接続される入力部 1 6 1 は、配線 D 1 6 1 に接続されている。また、配線 D 1 6 0 と配線 D 1 6 1 との間には、並列に 2 段の回路群が接続されている。

【 0 2 4 1 】

まず、前段の回路群の構成について説明する。

【 0 2 4 2 】

P 型トランジスタ P 1 6 2 の一端は、配線 D 1 6 0 が接続されており、当該 P 型トランジスタ P 1 6 2 の他端は、配線 D 1 6 1 が接続されている。

【 0 2 4 3 】

また、P 型トランジスタ P 1 6 3 のドレインは P 型トランジスタ P 1 6 2 の一端側に接続され、ソースは固定電源に接続されている。また、P 型トランジスタ P 1 6 4 のドレインは P 型トランジスタ P 1 6 2 の他端側に接続され、ソースは固定電源に接続されている。ここで、P 型トランジスタ P 1 6 2, P 1 6 3, P 1 6 4 のゲートには、共通にクロック信号 C L K が入力される。

【 0 2 4 4 】

次に、後段の回路群の構成について説明する。

【 0 2 4 5 】

P 型トランジスタ P 1 6 0 の一端は、配線 D 1 6 0 に接続されており、P 型ト

ランジスタ P 1 6 1 の一端は、配線 D 1 6 1 に接続されている。

【 0 2 4 6 】

P 型トランジスタ P 1 6 0 の他端は、P 型トランジスタ P 1 6 5 と N 型トランジスタ N 1 6 0 とを直列に接続させることにより構成される CMOS インバータ C 1 6 0 の出力側に接続されている。これに対して、P 型トランジスタ P 1 6 1 の他端は、P 型トランジスタ P 1 6 6 と N 型トランジスタ N 1 6 1 とを直列に接続させることにより構成される CMOS インバータ C 1 6 1 の出力側に接続されている。

【 0 2 4 7 】

また、CMOS インバータ C 1 6 0 と C 1 6 1 の入出力部を相互に接続させることにより、相互接続された CMOS インバータが構成されている。

【 0 2 4 8 】

ここで、P 型トランジスタ P 1 6 5、P 1 6 6 のソースは固定電源に接続されており、N 型トランジスタ N 1 6 0、N 1 6 1 のソースは N 型トランジスタ N 1 6 2 を介して接地に接続されている。

【 0 2 4 9 】

すなわち、CMOS インバータ C 1 6 0、C 1 6 1 および P 型トランジスタ P 1 6 0、P 1 6 1 により、スタティックな CMOS 型メモリセルを構成している。

【 0 2 5 0 】

さらに、P 型トランジスタ P 1 6 0、P 1 6 1 のゲート、および N 型トランジスタ N 1 6 2 のゲートには、共通でセンスイネーブル信号 S E が入力されている。

【 0 2 5 1 】

以上が、本実施の形態に係るセンスアンプ S A の具体的な構成である。

【 0 2 5 2 】

ここで、実施の形態 1 では、通常センスアンプ S A の出力側には、タグ情報ビット TMB< i > を保持するためのラッチ回路および素子駆動用のドライバが接続されている。これは、クロック信号 C L K が「L」レベルに変化すると、セン

スアンプ S A が初期化され、出力データが消えてしまうからである。

【 0 2 5 3 】

つまり、クロック信号 C L K が「H」レベルの間に X O R 回路での演算処理が終了すれば問題ないのだが、活性化信号 E N の制御下にある X O R 回路では、必ずクロック信号 C L K が「H」レベルの間に演算処理が終了するとは言えない為、当該演算が終了しないときの補償用回路として当該ラッチ回路が設けられている。

【 0 2 5 4 】

しかし、本実施の形態では、X O R 回路の活性化信号 E N による制御を要しないのでラッチ回路は不要となる。また、後述するように本実施の形態に係る X O R 回路では、駆動させるべき素子の数が実施の形態 1 のそれと比べて少ないので、素子駆動用のドライバも省略することができる。

【 0 2 5 5 】

これにより、タグ情報 T M B < i > の X O R 回路への供給が、実施の形態 1 に比べて高速される。

【 0 2 5 6 】

さて本実施の形態では、ラッチ回路や素子駆動用のドライバは削除するが、センスアンプ S A は、N O R ゲート G 1 6 3, G 1 6 4 を介して後段の X O R 回路へと接続される。

【 0 2 5 7 】

ここで、N O R ゲート G 1 6 3 の一方の入力部は、C M O S インバータ C 1 6 0 の出力側と接続されている。また、N O R ゲート G 1 6 4 の一方の入力部は、C M O S インバータ C 1 6 1 の出力側と接続されている。なお、N O R ゲート G 1 6 3, G 1 6 4 の他方の入力部には、インバータ G 1 6 5 を介して共通にセンスイネーブル信号 S E が入力される。

【 0 2 5 8 】

さて次に、同図（図 1 8）の本実施の形態に係る X O R 回路の具体的な説明をする。

【 0 2 5 9 】

XOR回路は、2つのトランスミッションゲートTG160, TG161とを有しており、トランスミッションゲートTG160の入力部には、NORゲートG163の出力部が接続されており、トランスミッションゲートTG161の入力部には、NORゲートG164の出力部が接続されている。また、トランスミッションゲートTG160, TG161の出力部は共に、排他論理和信号 $cmp<i>$ を出力する出力部162に接続されている。

【0260】

また、参照ビットTCB $<i>$ が入力される入力部163はインバータG166を介して、トランスミッションゲートTG160のP型ゲートとトランスミッションゲートTG161のN型ゲートとにそれぞれ接続されている。さらに、入力部163はインバータG166, G167を介して、トランスミッションゲートTG160のN型ゲートとトランスミッションゲートTG161のP型ゲートとにそれぞれ接続されている。

【0261】

以上が、本実施の形態に係るXOR回路の具体的な構成である。

【0262】

次に、図19に示す本実施の形態に係る論理積回路について説明する。

【0263】

本実施の形態に係る論理積回路の構成は、図5で示した論理積回路の構成と同じであるが、P型トランジスタP30のゲート、トランスミッションゲートTG22のゲートに活性化信号が入力されるのではなく、センスイネーブル信号SEが入力される点において異なる。

【0264】

以下、本実施の形態に係る比較器201の動作について説明する。

【0265】

<回路の動作説明>

まず、クロック信号CLKが「L」レベルの期間では、図18で示したP型トランジスタP162, P163, P164は、それぞれオン状態となるので、入力部160, 161と接続している配線D160, D161は、共に「H」レベ

ルにプリチャージされる。

【 0 2 6 6 】

当該期間では、図 6 等で示したダミーカラム DC により生成されるセンスイネーブル信号 SE も、もちろん「L」レベルなので、P 型トランジスタ P 1 6 0, P 1 6 1 はともにオン状態となり、N 型トランジスタ N 1 6 2 はオフ状態となる。

【 0 2 6 7 】

これにより、NOR ゲート G 1 6 3, G 1 6 4 の一方の入力部には「H」レベルの信号が入力され、他方の入力部においても、「L」レベルのセンスイネーブル信号 SE がインバータ G 1 6 5 を経るので、「H」レベルの信号が入力される。よって、当該 NOR ゲート G 1 6 3, G 1 6 4 の出力部からは「L」レベルの信号が出力される。

【 0 2 6 8 】

上記「L」レベルの信号が後段の XOR 回路に入力され、参照ビット TCB<i>として「H」レベルが入力部 1 6 3 から入力された場合には、トランスミッションゲート TG 1 6 0 がオン状態となり、NOR ゲート G 1 6 3 から出力される「L」レベルの信号が、出力部 1 6 2 から「L」レベルの排他論理和信号 cmp<i>として出力される。

【 0 2 6 9 】

他方、参照ビット TCB<i>として「L」レベルが入力部 1 6 3 から入力された場合には、トランスミッションゲート TG 1 6 1 がオン状態となり、NOR ゲート G 1 6 4 から出力される「L」レベルの信号が、出力部 1 6 2 から「L」レベルの排他論理和信号 cmp<i>として出力される。

【 0 2 7 0 】

次に、クロック信号 CLK が立ち上がる。ここで、図 6 において、N 型トランジスタ N 2 0 がオン状態となっても、当該 N 型トランジスタ N 2 0 を介するダミービット線 d b i t が帯びている電気の接地への放電には多少時間を要するので、クロック信号 CLK が立ち上がって所定の時間経過した後に、センスイネーブル信号 SE は「H」レベルとなる。

【 0 2 7 1 】

したがって、クロック信号CLKが立ち上がってから所定の時間までは、センスイネーブル信号SEは「L」レベルのままである。ここで、当該所定の時間は、N型トランジスタのサイズにより決められる。

【 0 2 7 2 】

したがって、「L」レベルのセンスイネーブル信号SEにより、P型トランジスタP160、P161はともにオン状態を維持し、N型トランジスタN162はオフ状態を維持する。また、クロック信号CLKが「H」レベルとなっているので、P型トランジスタP162、P163、P164は、それぞれオフ状態となる。

【 0 2 7 3 】

よって、前段で出力されたメモリセルMの電位により、配線D160、D161は若干の電位差は生じるものの、依然として「H」レベルが維持される。

【 0 2 7 4 】

したがって、上記と同様の議論により当該NORゲートG163、G164の出力部からは「L」レベルの信号が出力され、後段のXOR回路では、参照ビットTCB<i>が「H」、「L」のどちらのレベルであっても、排他論理和信号cmp<i>として「L」レベルが出力される。

【 0 2 7 5 】

つまり、センスイネーブル信号SEが「L」レベルの期間は、XOR回路から排他論理和信号cmp<i>として、「L」レベルの信号が出力されるのである。

【 0 2 7 6 】

さて、センスイネーブル信号SEが「L」レベルの期間では、XOR回路の後段に位置する図19に示した論理積回路は、P型トランジスタP30はオン状態となり、トランSMミッションゲートTG22はオフ状態となり、演算用の各N型トランジスタN0～N15もオフ状態となるので、プリチャージが正常に実行される（非活性状態）。

【 0 2 7 7 】

次に、センスイネーブル信号SEが「H」レベルになると、図18において、P型トランジスタP160、P161がオフ状態となり、N型トランジスタN162がオン状態となるので、前段のメモリセルMから出力されてたタグ情報ビット信号により生じていた若干の電位差が、CMOS C160、C161により増幅され、当該電位差に応じて、CMOS C160、C161の出力側のどちらか一方が「L」レベルとなり、他方側が「H」レベルとなる。

【0278】

CMOS C161の出力側の電位が「H」レベルだとすると、NORゲートG164の一方の入力部には「H」レベルの信号が入力され、NORゲートG163の一方の入力部には「L」レベルの信号が入力される。今、センスイネーブル信号SEは「H」レベルであるので、NORゲートG163、G164の他方の入力部には、共通に「L」レベルの信号が入力される。

【0279】

したがって、NORゲートG164の出力部からは、「L」レベルのタグ情報ビットTMB<i>が出力される。一方、NORゲートG163の出力部からは、「H」レベルのタグ情報ビットTMB*<i>が出力される。

【0280】

これに対して、CMOS C160の出力側の電位が「H」レベルだとすると、NORゲートG163の一方の入力部には「H」レベルの信号が入力され、NORゲートG164の一方の入力部には「L」レベルの信号が入力される。センスイネーブル信号SEは「H」レベルであるので、NORゲートG163、G164の他方の入力部には、共通に「L」レベルの信号が入力される。

【0281】

したがって、NORゲートG164の出力部からは、「H」レベルのタグ情報ビットTMB<i>が出力される。一方、NORゲートG163の出力部からは、「L」レベルのタグ情報ビットTMB*<i>が出力される。

【0282】

上記から分かるように、センスイネーブル信号SEが「H」レベルとなると、相補的な関係を有するタグ情報ビットTMB<i>とタグ情報ビットTMB*<i>

i > とが、後段の XOR 回路に入力されることとなる。

【 0 2 8 3 】

その結果、タグ情報ビット $TMB < i >$ が「H」レベルで、参照ビット $TCB < i >$ が「H」レベルの場合、XOR 回路のトランスミッションゲート $TG 1 6 0$ がオン状態となるので、出力部 1 6 2 から「L」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 2 8 4 】

また、タグ情報ビット $TMB < i >$ が「H」レベルで、参照ビット $TCB < i >$ が「L」レベルの場合、XOR 回路のトランスミッションゲート $TG 1 6 1$ がオン状態となるので、出力部 1 6 2 から「H」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 2 8 5 】

また、タグ情報ビット $TMB < i >$ が「L」レベルで、参照ビット $TCB < i >$ が「L」レベルの場合、XOR 回路のトランスミッションゲート $TG 1 6 1$ がオン状態となるので、出力部 1 6 2 から「L」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 2 8 6 】

また、タグ情報ビット $TMB < i >$ が「L」レベルで、参照ビット $TCB < i >$ が「H」レベルの場合、XOR 回路のトランスミッションゲート $TG 1 6 0$ がオン状態となるので、出力部 1 6 2 から「H」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 2 8 7 】

つまり、タグ情報ビット $TMB < i >$ と参照ビット $TCB < i >$ とが一致する場合は、「L」レベルの排他論理和信号 $c m p < i >$ が出力され、タグ情報ビット $TMB < i >$ と参照ビット $TCB < i >$ とが不一致の場合は、「H」レベルの排他論理和信号 $c m p < i >$ が出力される。

【 0 2 8 8 】

さて、図 1 9 に示した論理積回路では、センスイネーブル信号 SE として「H」レベルが入力されると、P 型トランジスタ $P 3 0$ はオフ状態となり、トランス

ミッションゲートTG22はオン状態となるので、ダイナミック回路である論理積回路は活性状態へと変移する。

【0289】

当該状態にて、排他論理和信号 $cmp<0:15>$ として「L」レベルの信号が各N型トランジスタN0～N15のゲートへと入力してくると（つまり、タグ情報TMと参照タグ情報TCとが完全に一致する場合）、全てのN型トランジスタN0～N15はオフ状態を維持するので、判定信号としてプリチャージされていた「H」レベルのHIT信号が出力される。

【0290】

これに対して、排他論理和信号 $cmp<0:15>$ のいずれか一つでも「H」レベルであった場合には（タグ情報TMと参照タグ情報TCとが不一致の場合）、当該「H」レベルの排他論理和信号 $cmp<0:15>$ がゲートに入力してきたN型トランジスタN0～N15はオン状態となるので、配線D30は「L」電位へと変化し、判定信号として「L」レベルのMISS信号が出力される。

【0291】

以上が、本実施の形態に係る比較器の判定動作であり、正常に判定処理を行うことができる。

【0292】

他の実施の形態に係るXOR回路では、当該XOR回路内で相補的な関係を有するタグ情報 $TMB<i>$ 、 $TMB^*<i>$ を作っていたが、本実施の形態に係るXOR回路では、外部より当該相補的な関係を有するタグ情報 $TMB<i>$ 、 $TMB^*<i>$ が入力されてくるので、XOR回路の構成を簡略化させることができる。

【0293】

また、これとは別に、論理積回路の活性化を制御する信号として、タグ情報 $TMB<i>$ を出力するセンスアンプSAの制御も行っているセンスイネーブル信号SEを用いることにより、以下に示す効果も得ることができる。

【0294】

他の実施の形態では、XOR回路において排他論理和信号 $cmp<i>$ が確定

するタイミングに合わせて、ダイナミック回路である論理積回路を活性化させる必要があった。つまり、論理積回路において、正常に判定処理を行うためには、排他論理和信号 $cmp<i>$ が確定してから当該論理積回路を活性化させる必要があり、当該排他論理和信号 $cmp<i>$ の確定時期と当該論理積回路を活性化させる時期との時間差が小さいほど、判定結果を早期に得ることができていた。

【0295】

しかし、上記時間差があまりに小さく設定しすぎると、比較器 201 の歩留が低下する傾向にある。これは、比較器 201 のプロセスにおけるパラメータの変動により、当初予定していた時間差がばらつき、排他論理和信号 $cmp<i>$ が確定する前に、論理積回路を活性化させてしまう場合も出てくるからである。

【0296】

したがって、通常は比較器 201 の動作マージンを動作速度より優先させる必要があり、これにより、ダイナミック回路である論理積回路を導入するに際し、当該論理積回路の速度向上には限界があった。

【0297】

そこで、本実施の形態に係る比較器 201 では、XOR 回路として、判定したいタグ情報 $TMB<i>$ が入力されるまで（つまり、センスイネーブル信号 SE が「L」レベルの期間）、後段の論理積回路の演算用 N 型トランジスタ $N0 \sim N15$ を動作させない信号（今の場合、「L」レベルの排他論理和信号 $cmp<i>$ ）を出力する回路を構成することを条件に、論理積回路の活性化を制御する信号として、当該タグ情報 $TMB<i>$ の出力を制御するセンスイネーブル信号 SE を用いることにより、上記で示した当該排他論理信号 $cmp<i>$ の確定時期と当該論理積回路を活性化させる時期との時間差が不要となるので、上記問題は解消され比較器 201 全体の動作を向上させることができる。

【0298】

なお、本実施の形態では、論理積回路の活性化を制御する信号として、センスイネーブル信号 SE を用いたが、後段の論理積回路の演算用 N 型トランジスタ $N0 \sim N15$ を動作させない信号を出力する XOR 回路を構成するという条件を満たすなら（ここで、実施の形態 1 の XOR 回路も当該条件は満たしている）、こ

れより速く立ち上がる信号を採用しても良いが、センスイネーブル信号を用いることにより、簡単な回路設計で最良のタイミングで論理積回路を活性化させることができる。

【 0 2 9 9 】

また、タグ情報ビット $TMB<i><i>$ および、これと相補的な関係にあるタグ情報ビット $TMB^*<i><i>$ を出力するゲートとして、NORゲート G 1 6 3, G 1 6 4 の代わりにインバータを用いても良いが、上記のように NORゲート G 1 6 3, G 1 6 4 を用い、当該 NORゲート G 1 6 3, G 1 6 4 の出力をセンスイネーブル信号 S E により制御することにより、以下に示す効果を得ることができる。

【 0 3 0 0 】

T A G - R A M にタグ情報 T M を書き込むときには、データ線 D A T A, D A T A C のいずれかが「H」レベルとなり、他方が「L」レベルとなる。このとき、もしインバータを用いたとすると、データの書き込時においても後段の比較器 2 0 1 は動作をしてしまうこととなる。

【 0 3 0 1 】

しかし、NORゲート G 1 6 3, G 1 6 4 を用いてセンスイネーブル信号 S E による制御を可能とすることにより、T A G - R A M にタグ情報 T M を書き込むときには、センスイネーブル信号 S E は「L」レベルであるので、書き込み時には排他論理和信号も「L」レベルと固定されることとなり、比較器 2 0 1 は動作しない。

【 0 3 0 2 】

したがって、読み出し時にのみ比較器 2 0 1 は動作するので、余分な電力を消費しなくて済む。

【 0 3 0 3 】

なお、上記各実施の形態では、T A G - R A M に記憶されているタグ情報 T M に限定して話を進めたが、これに限るものでなく、他の一般的なメモリ（記憶装置）に記憶されている多ビットの第一のデータと、C P U からの多ビットの第二のデータとを比較する比較器を有する半導体回路においても適用できることは言

うまでない。

【0304】

【発明の効果】

本発明の請求項1に記載の半導体回路は、多ビットの第一のデータを記憶している記憶装置と、前記第一のデータと多ビットの第二のデータとの比較を行う比較器とを有する半導体回路において、前記記憶装置からの前記第一のデータの出力を制御する第一の制御信号に基づいて、前記比較器の活性状態が制御されているので、簡易な回路設計により、比較器の演算動作の高速化を考慮した最良なタイミングで比較器の活性状態を制御することができる。したがって、第一のデータが読み出されてから比較器による演算処理を開始するまでの時間差を最小限に抑えることができ、最終的に、比較器全体の判定処理の高速化へとつながる。

【図面の簡単な説明】

【図1】 キャッシュメモリから読み出されたタグ情報と参照タグ情報との比較の説明をするための図である。

【図2】 TAG-RAMに対する入出力信号の様子を示す図である。

【図3】 実施の形態1に係る排他論理和回路の具体的な構成を示す回路図である。

【図4】 第一の活性化信号から第二の活性化信号を生成する様子を示す回路図である。

【図5】 実施の形態1に係る論理積回路の具体的な構成を示す回路図である。

【図6】 実施の形態1に係るTAG-RAMの具体的な構成を示す回路図である。

【図7】 センスアンプSA2の具体的な構成を示す回路図である。

【図8】 実施の形態1に係る比較器の動作を説明するためのタイミングチャートである。

【図9】 実施の形態2に係る排他論理和回路の具体的な構成を示す回路図である。

【図10】 実施の形態2に係る論理積回路の具体的な構成を示す回路図で

ある。

【図 1 1】 実施の形態 2 に係る比較器の動作を説明するためのタイミングチャートである。

【図 1 2】 実施の形態 3 に係る T A G - R A M の具体的な構成を示す回路図である。

【図 1 3】 論理積回路の活動を制御する信号を生成するための回路を示す図である。

【図 1 4】 実施の形態 4 に係る論理積回路の具体的な構成を示す回路図である。

【図 1 5】 実施の形態 4 に係る比較器の動作を説明するためのタイミングチャートである。

【図 1 6】 実施の形態 5 に係る論理積回路の具体的な構成を示す回路図である。

【図 1 7】 実施の形態 5 に係る比較器の動作を説明するためのタイミングチャートである。

【図 1 8】 実施の形態 6 に係るセンスアンプと排他論理和回路の具体的な構成を示す回路図である。

【図 1 9】 実施の形態 6 に係る論理積回路の具体的な構成を示す回路図である。

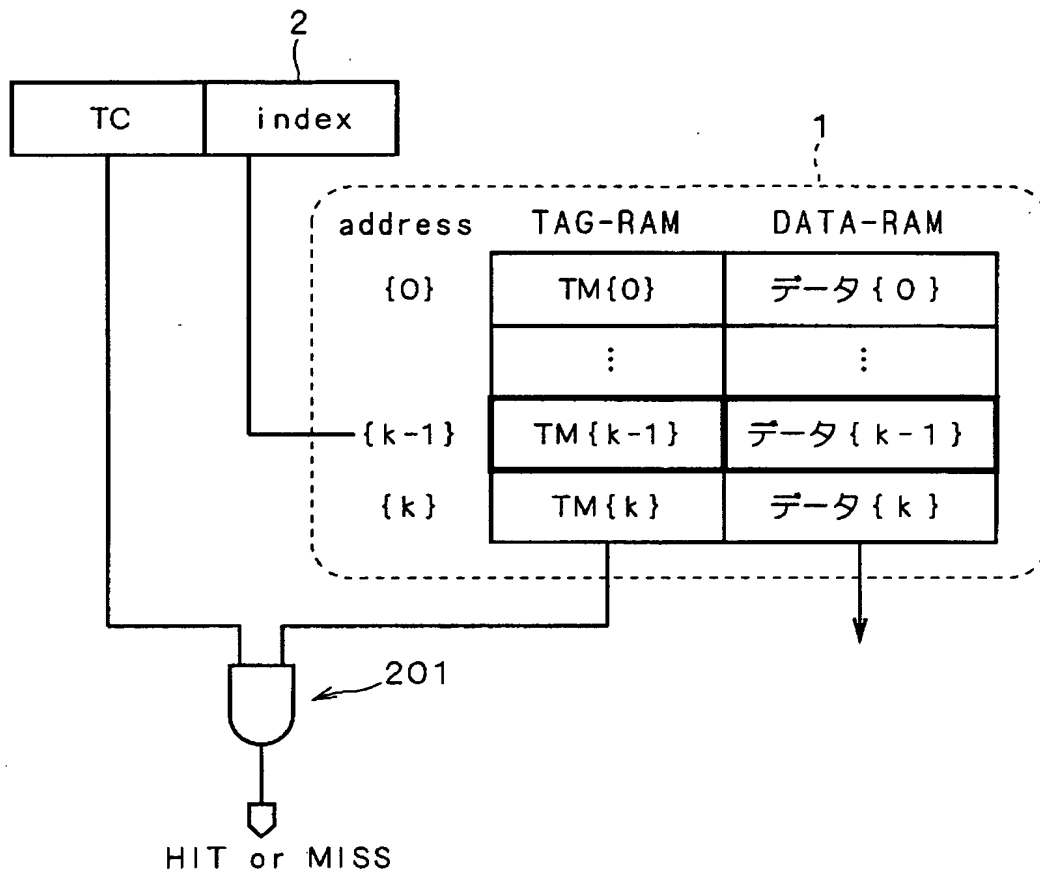
【符号の説明】

1 キャッシュメモリ、2 アドレスデータ、1 0 ~ 1 2, 1 4, 3 1, 3 2, 4 4, 4 5, 1 6 0, 1 6 1, 1 6 3 入力部、1 3, 1 5, 3 3, 4 6, 1 6 2 出力部、2 0 1 比較器、C 6 0, C 6 1, C 1 6 0, C 1 6 1 C M O S、D 3 0, D 8 0, D 8 1, D 1 6 0, D 1 6 1 配線、G 2 0, G 2 3, G 2 4 ~ G 2 8, G 3 0 ~ G 3 3, G 4 0, G 4 1, G 4 3, G 4 5 ~ G 4 8, G 8 0 ~ G 8 3, G 1 1 3, G 1 4 0, G 1 6 5 ~ G 1 6 7 インバータ、G 2 1, G 2 2, G 1 6 3, G 1 6 4 N O R ゲート、G 4 2, G 1 0 0, G 1 1 2 A N D ゲート、G 1 1 0 R S ラッチ回路、G 1 1 1 パルス発生器、L A T 3 0, L A T 8 0 ラッチ回路、N 0 ~ N 1 5, N 2 0, N 5 0, N 6 0, N 6 1

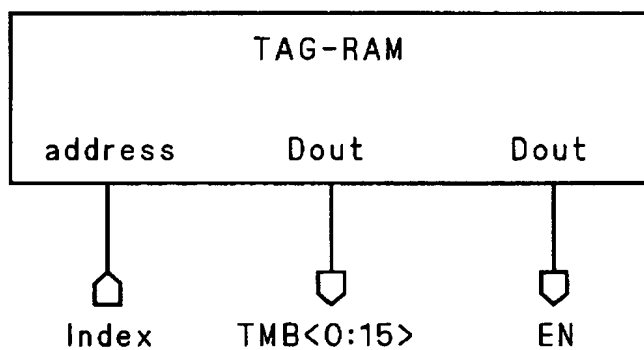
、N70、N80～N95、N120、N160～N162 N型トランジスタ、P20、P30、P40～P50、P60～P63、P80、P160～P166 P型トランジスタ、TG20～TG22、TG30、TG31、TG80、TG160、TG161 トランスミッションゲート、CLK クロック信号、cmp<i></i> 排他論理和信号、DATA、DATAC データ線、DC ダミーカラム、DLY2、DLY4 遅延回路、EN、EN2、EN4 活性化信号、ENC カラム、M、MH メモリセル、MC メモリ部、RE 制御信号（第二の制御信号）、SE センスイネーブル信号（第一の制御信号）、SA、SA2 センスアンプ、TM タグ情報、TMB<i></i> タグ情報ビット、TC 参照タグ情報、TCB<i></i> 参照ビット、XOR 排他論理和回路。

【書類名】 図面

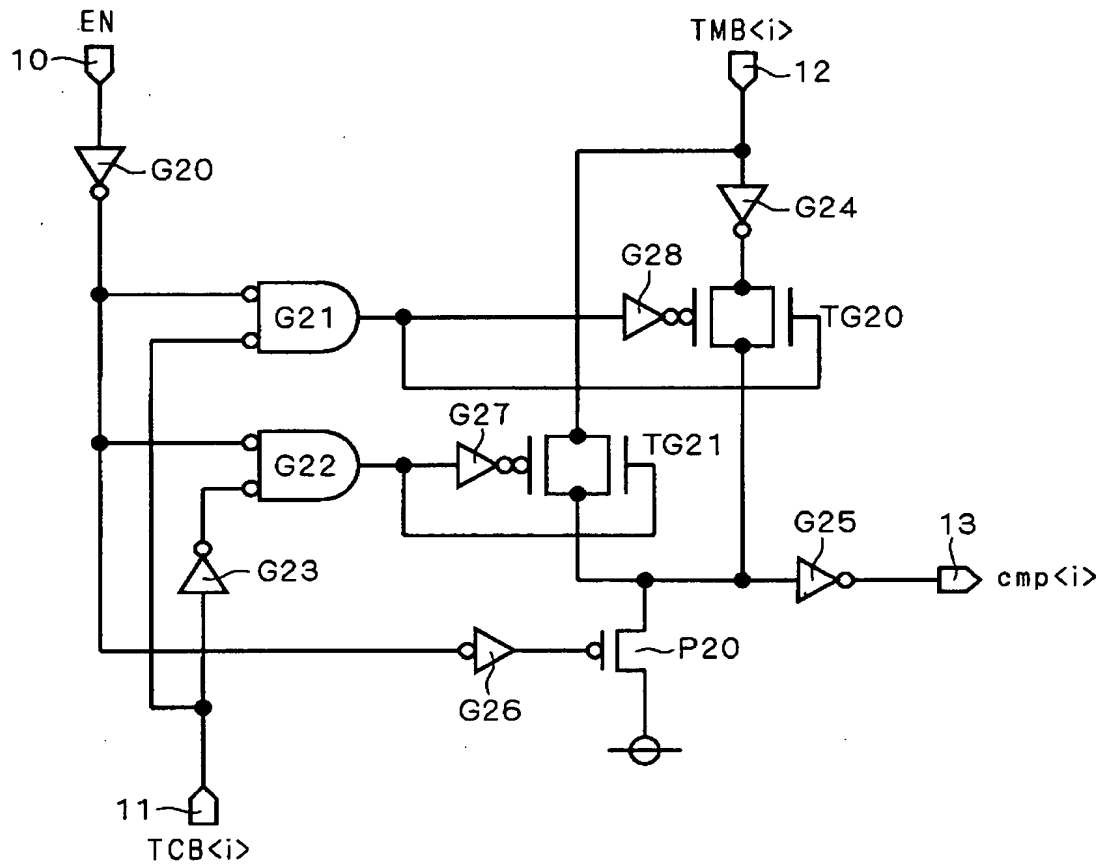
【図 1】



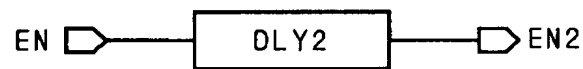
【図 2】



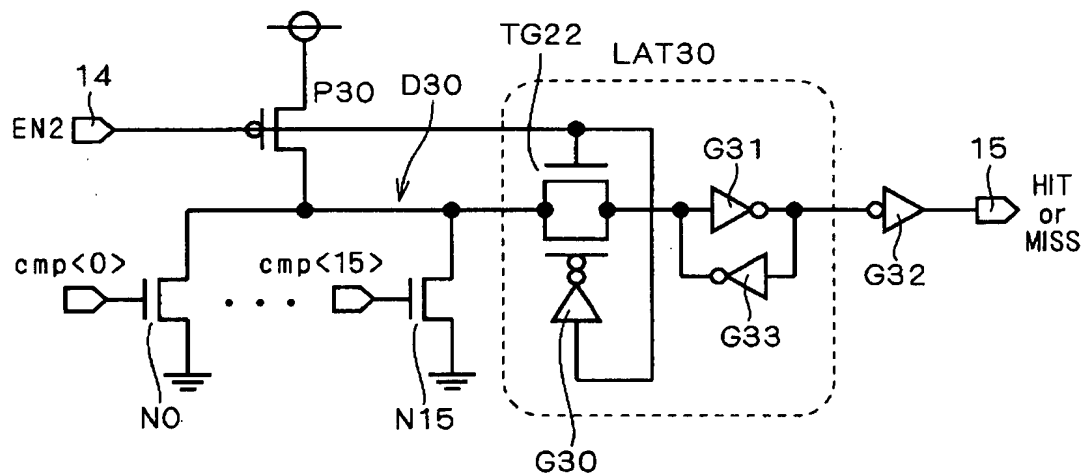
【図 3】



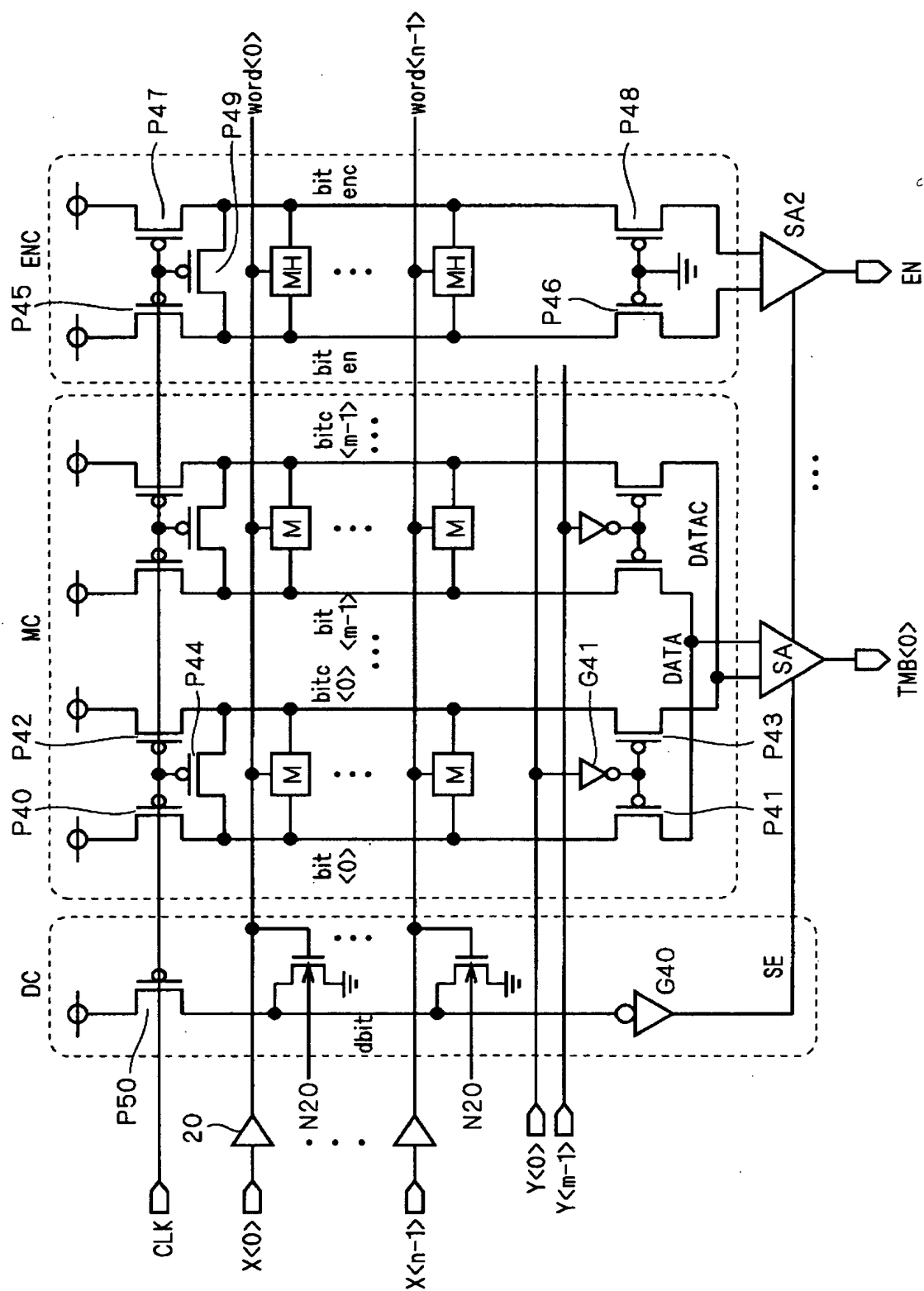
【図 4】



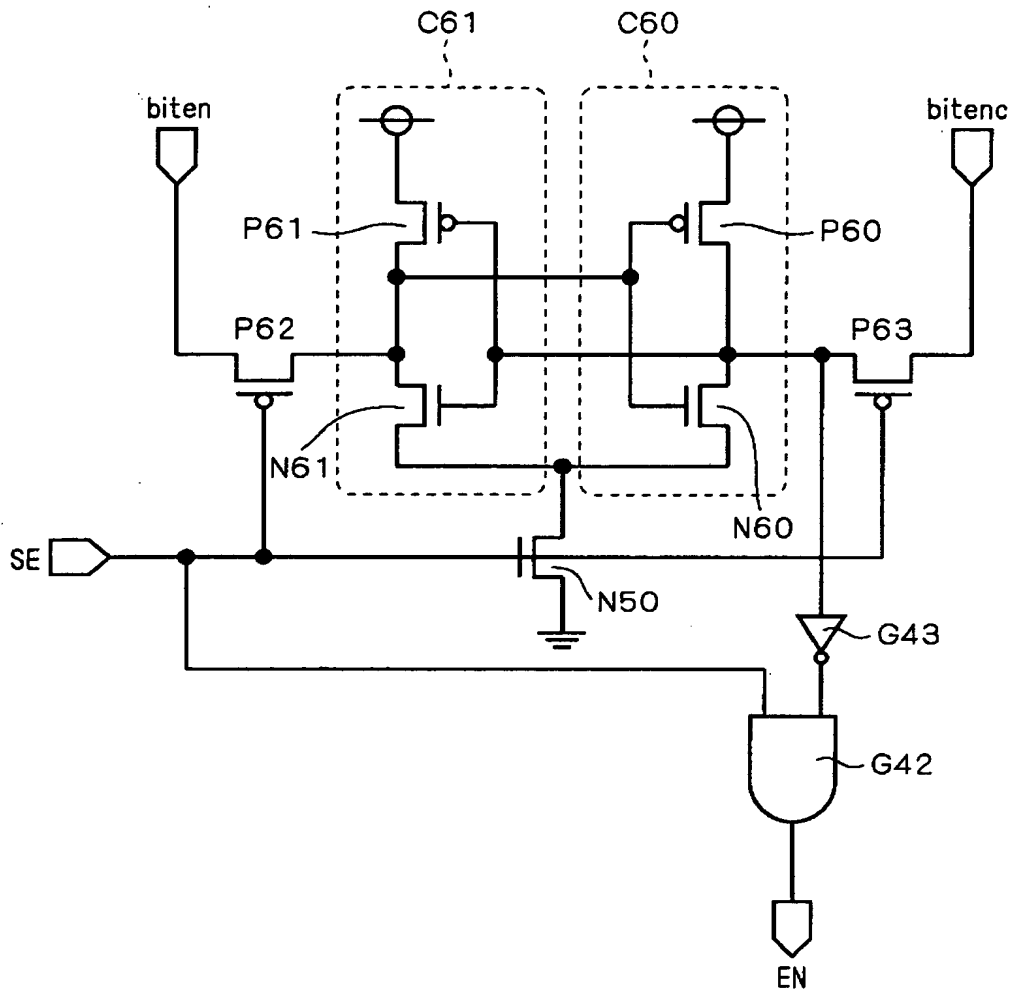
【図 5】



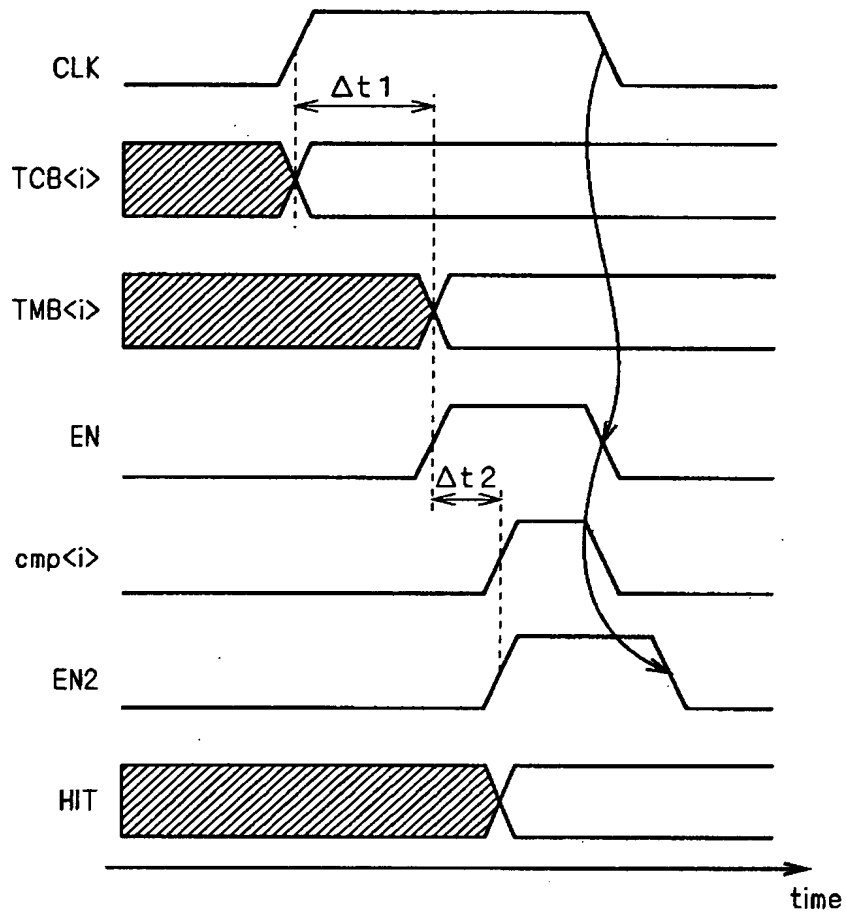
【図 6】



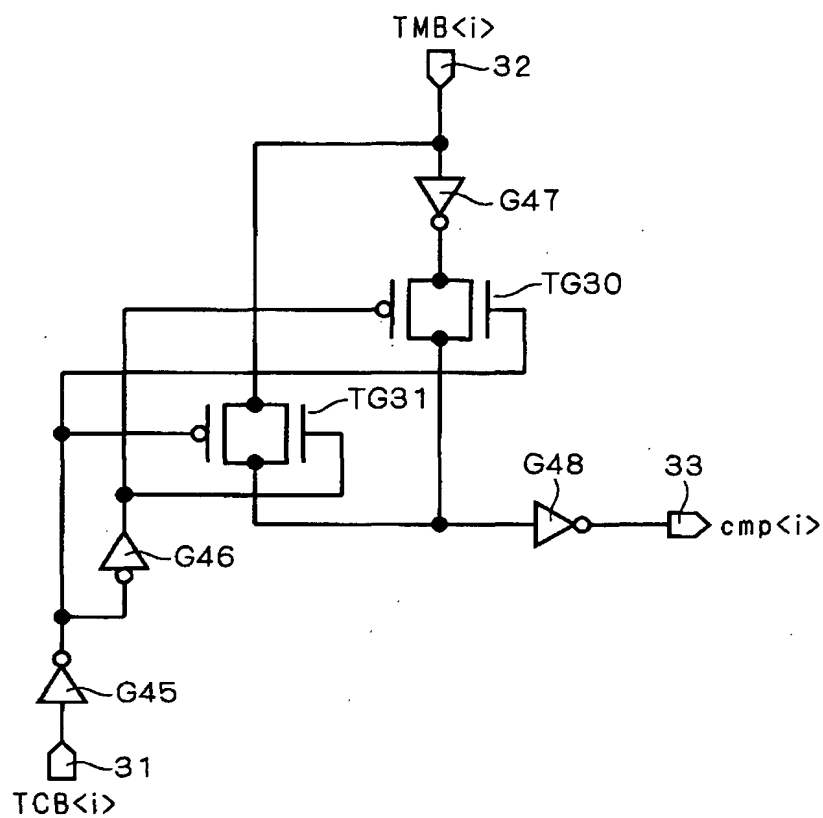
【図 7】



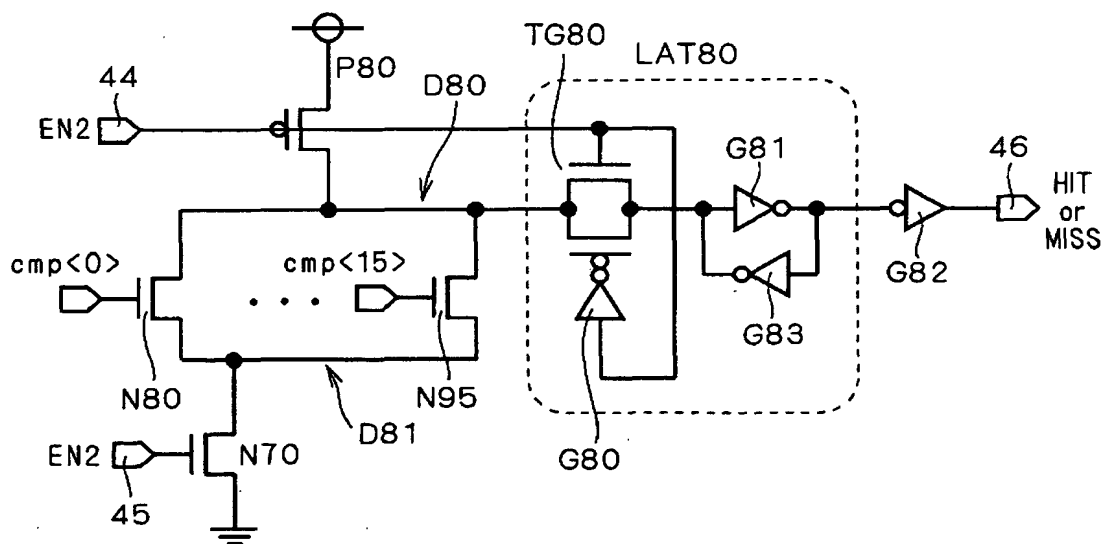
【図 8】



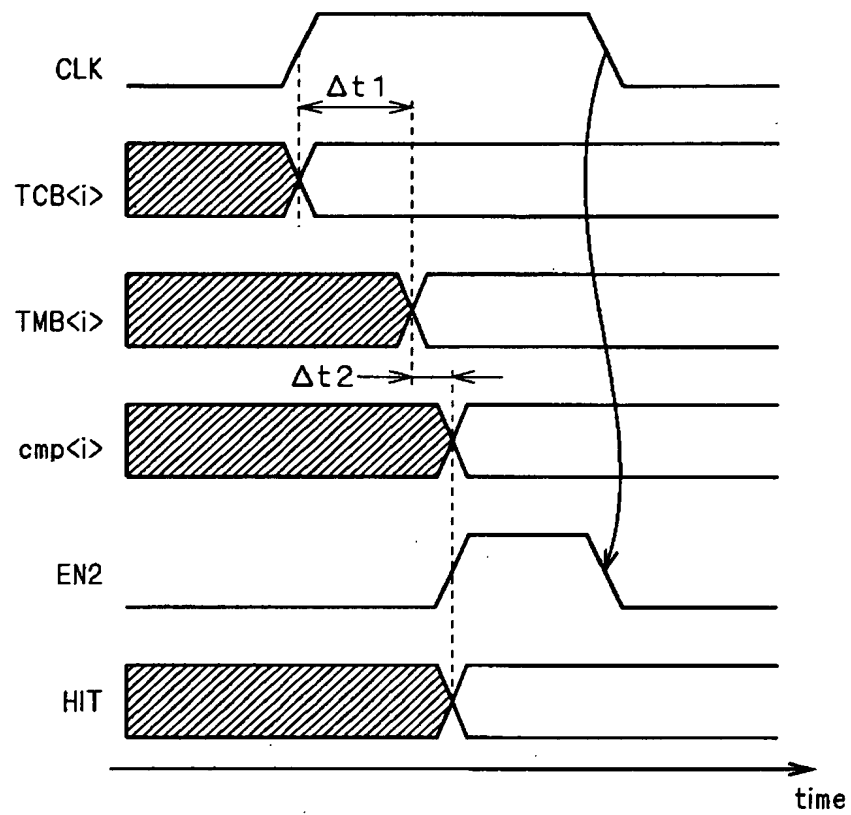
【図 9】



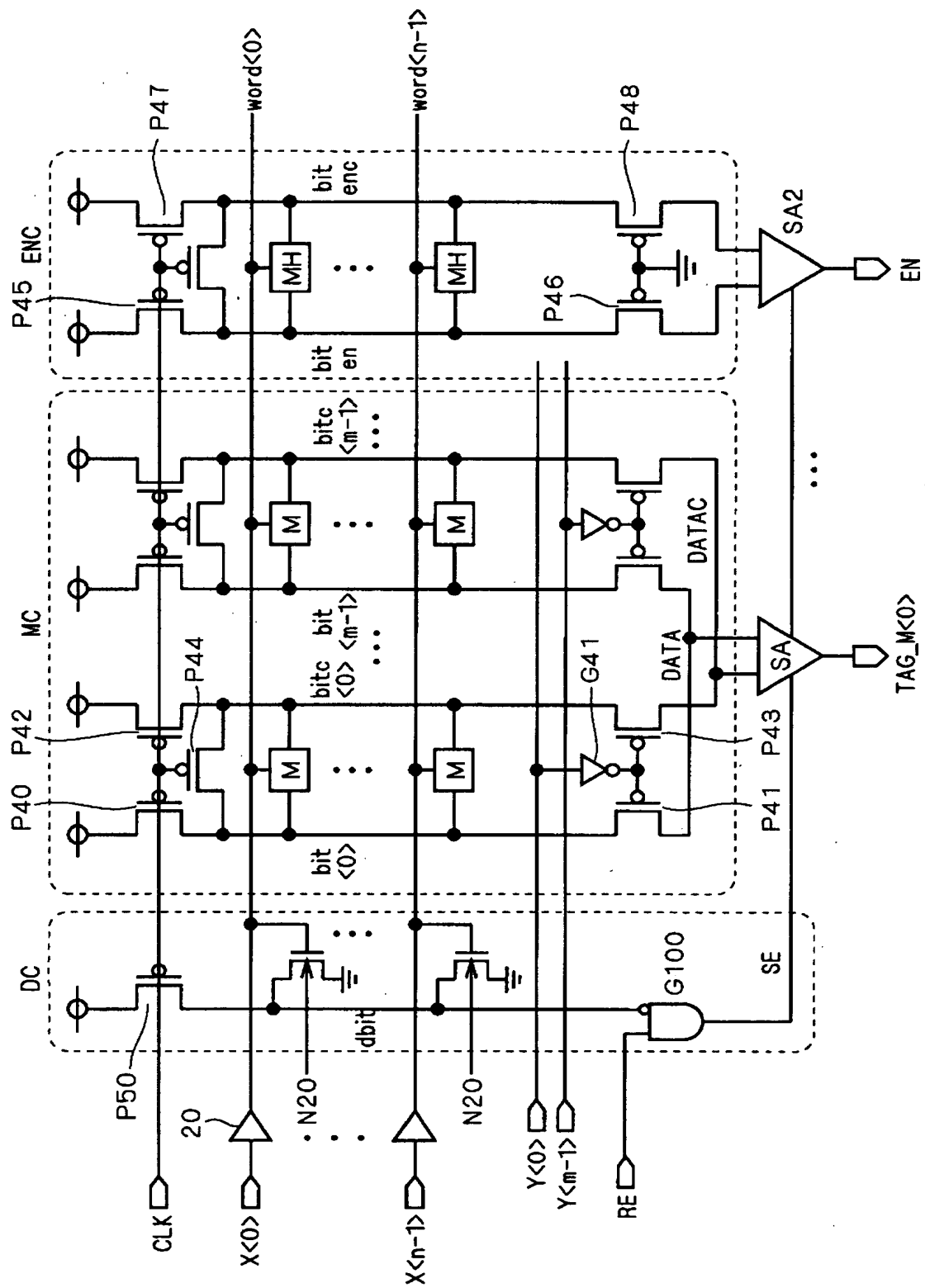
【図 10】



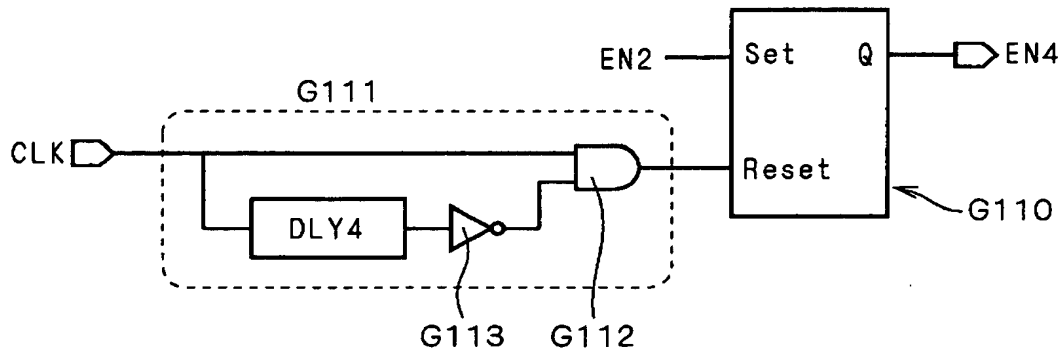
【図 1 1】



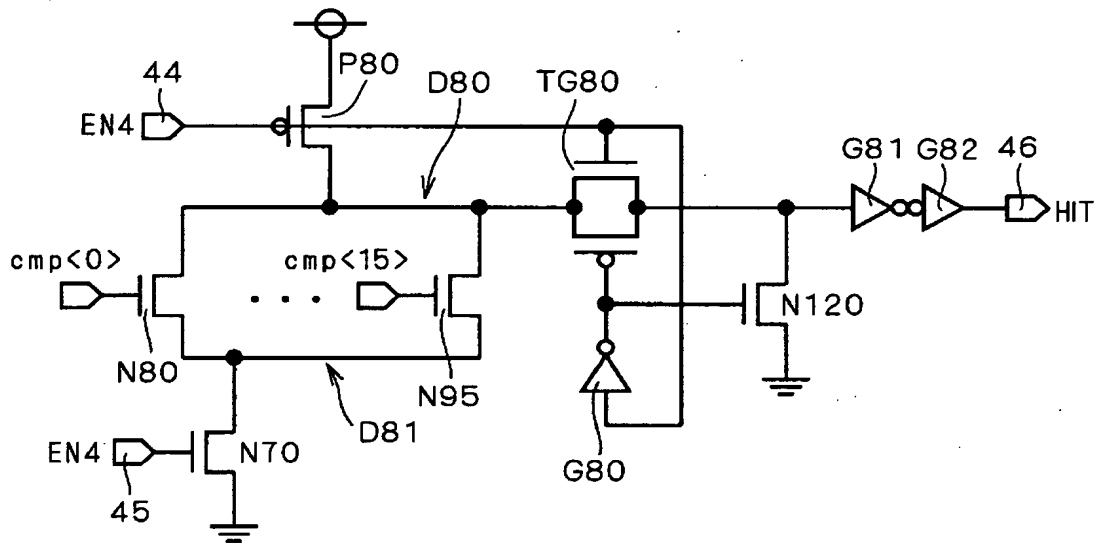
【図 12】



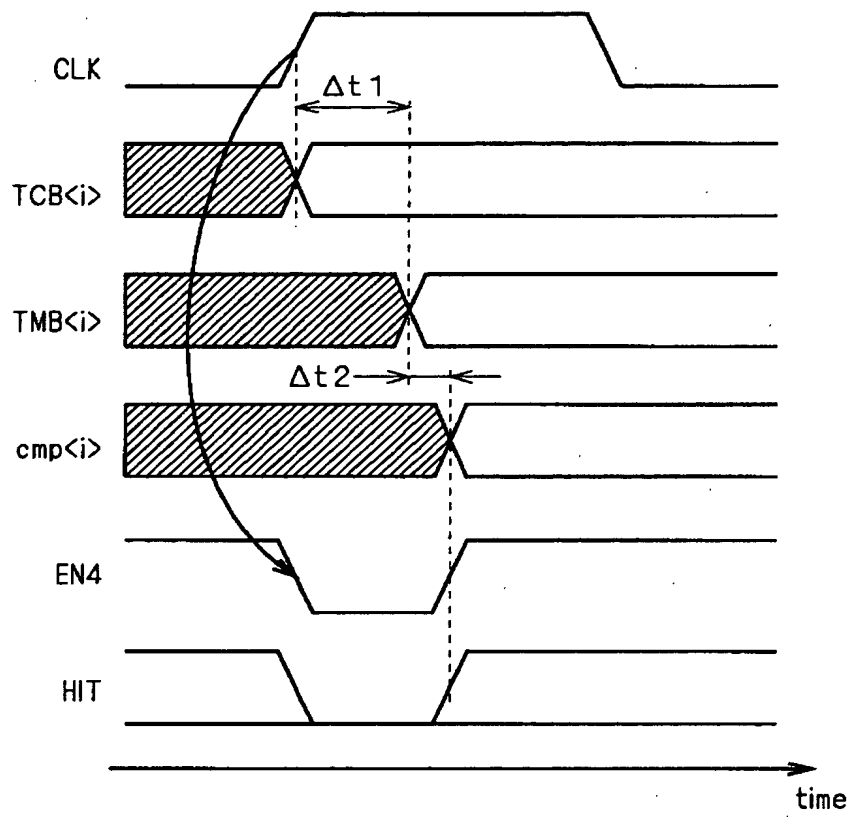
【図 1 3】



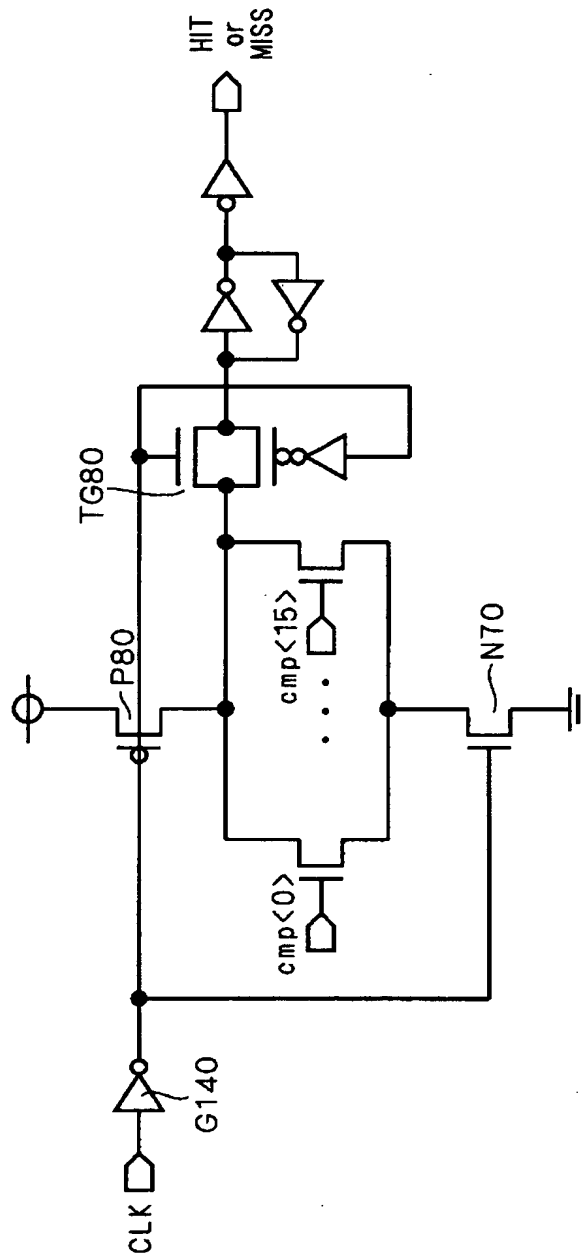
【図 1 4】



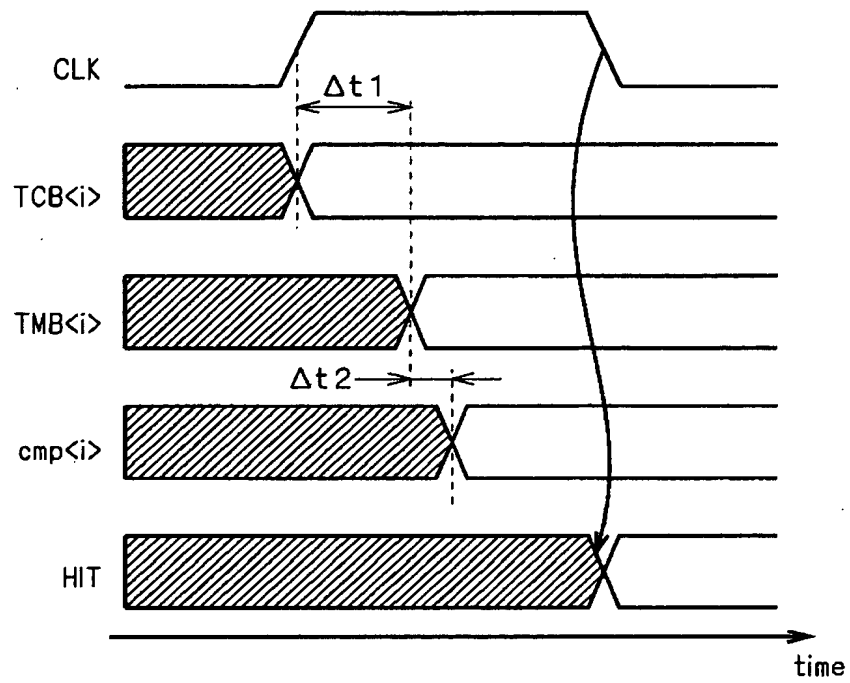
【図 1 5】



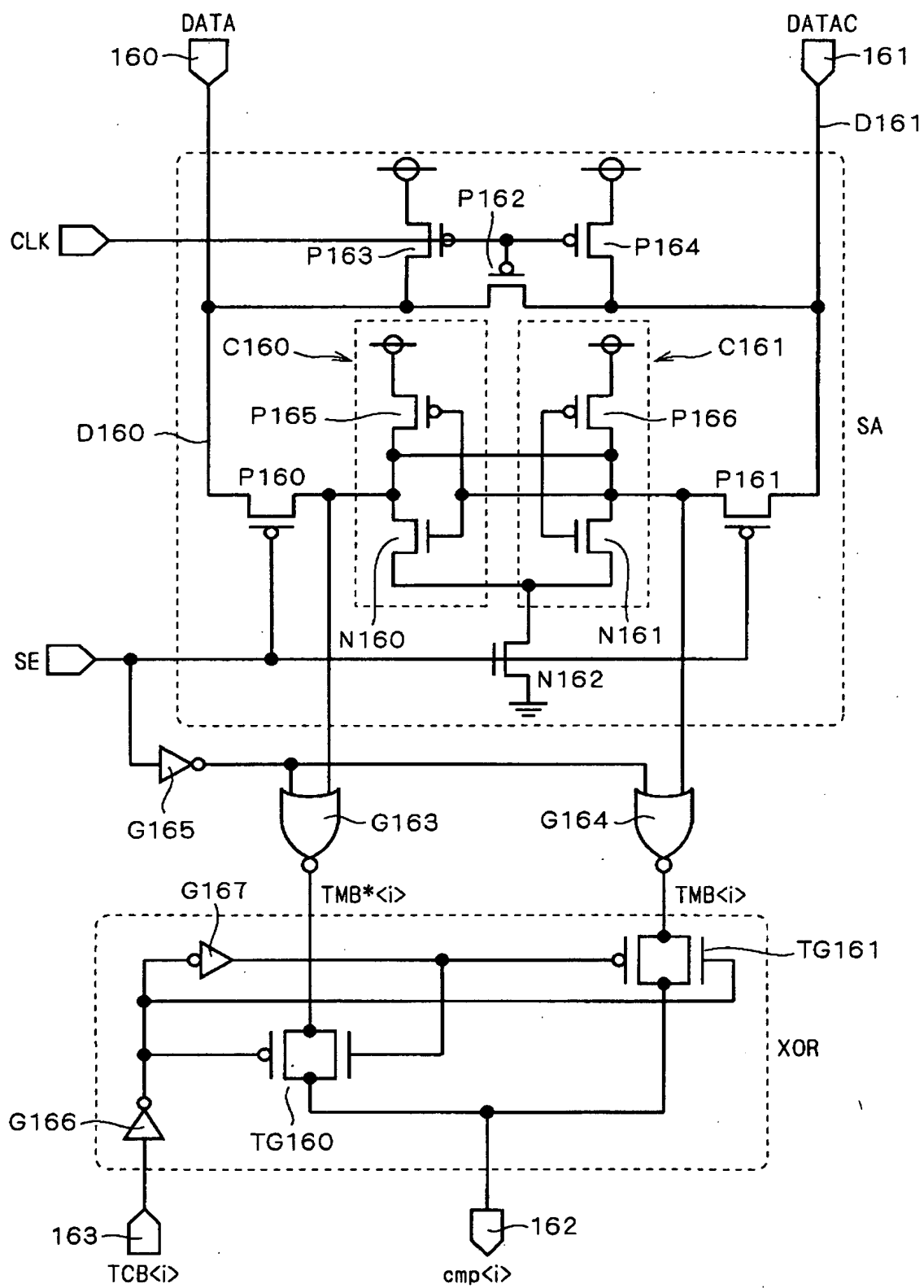
【図 1 6】



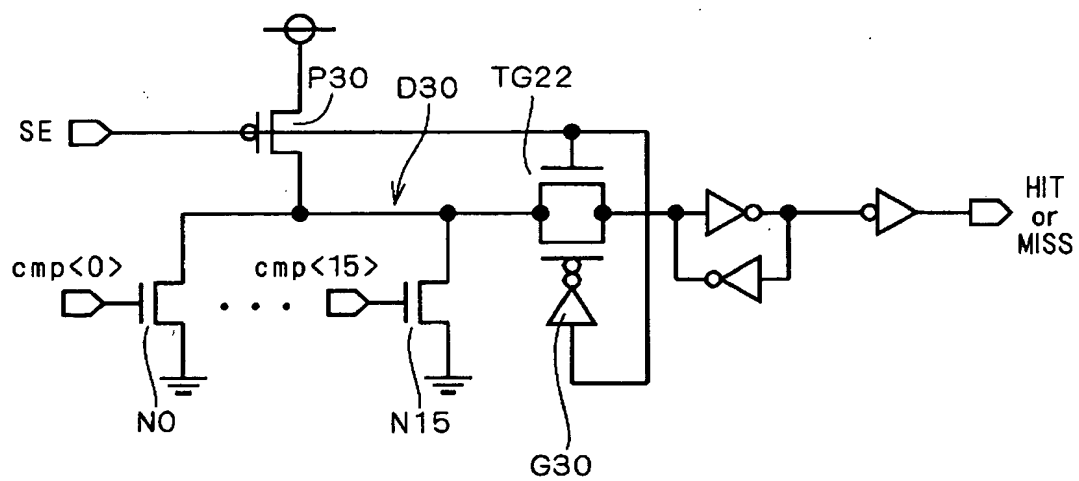
【図 1 7】



【図 18】



【図 1 9】



【書類名】 要約書

【要約】

【課題】 キャッシュメモリに記憶されているタグ情報と、CPUから出力される参照タグ情報との比較処理を行う比較器において、当該比較処理の速い比較器を提供することを目的とする。

【解決手段】 TAG-RAMが記憶しているタグ情報TMを出力をセンスアンプSAの活性状態を制御する、センスイネーブル信号SEを利用して、当該タグ情報TMとCPUから出力される参照タグ情報TCとの比較処理を行う、比較器201の活性化状態を制御する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社